

PCT  
PCT/JP2004/007791

日本国特許庁  
JAPAN PATENT OFFICE

28.5.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

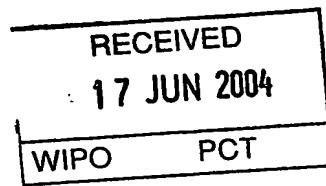
This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application: 2003年 5月29日

出願番号  
Application Number: 特願2003-152743

[ST. 10/C]: [JP2003-152743]

出願人  
Applicant(s): 日本電気株式会社

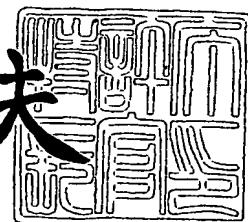


PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年 1月26日

特許長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願  
【整理番号】 34002293  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/68  
H01L 21/312

## 【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号  
本電気株式会社内

日

【氏名】 多田 宗弘

## 【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号  
本電気株式会社内

日

【氏名】 林 喜宏

## 【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号  
本電気株式会社内

日

【氏名】 原田 恵充

## 【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号  
本電気株式会社内

日

【氏名】 伊藤 文則

## 【特許出願人】

【識別番号】 000004237  
【氏名又は名称】 日本電気株式会社

## 【代理人】

【識別番号】 100109313  
【弁理士】  
【氏名又は名称】 机 昌彦  
【電話番号】 03-3454-1111

**【選任した代理人】**

【識別番号】 100085268

**【弁理士】**

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

**【選任した代理人】**

【識別番号】 100111637

**【弁理士】**

【氏名又は名称】 谷澤 靖久

【電話番号】 03-3454-1111

**【手数料の表示】**

【予納台帳番号】 191928

【納付金額】 21,000円

**【提出物件の目録】**

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0213988

【フルーフの要否】 要

【書類名】 明細書

【発明の名称】 配線構造およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体素子が形成された基板上の絶縁膜に形成される配線溝およびビアホールに金属配線を充填して形成された配線および接続プラグを有する単位配線構造が複数積層される多層配線の配線構造において、

少なくとも 1 単位配線構造以上の金属配線と層間絶縁膜との間に、窒化シリコンからなる絶縁性バリア層および炭化シリコンからなる絶縁性バリア層および前記窒化シリコンに有機物を含む絶縁性バリア層および前記炭化シリコンに有機物を含む絶縁性バリア層のいずれか一つが挿入されて、前記金属配線の外周が覆われていることを特徴とする配線構造。

【請求項 2】 前記金属配線が銅を主成分とする導電材料であることを特徴とする請求項 1 に記載の配線構造。

【請求項 3】 前記金属配線の外周を覆う前記絶縁膜の厚さが、50 nm 以下であることを特徴とする請求項 1 乃至 2 のいずれか 1 項に記載の配線構造。

【請求項 4】 前記層間絶縁膜のうち少なくとも一層以上が比誘電率 3.0 以下の多孔質膜であることを特徴とする請求項 1 乃至 2 のいずれか 1 項に記載の配線構造。

【請求項 5】 上層配線と下層配線とを接続する接続プラグが、銅以外の金属を主成分とする界面層を有することなく接合していることを特徴とする請求項 1 乃至 2 のいずれか 1 項に記載の配線構造。

【請求項 6】 金属配線の外周を覆う絶縁膜が、2 層以上の積層膜構造、もしくは膜厚方向に組成分布を有する膜構造であることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の配線構造。

【請求項 7】 半導体素子が形成された基板上の絶縁膜に形成される配線溝および配線孔に銅を主成分とする金属を充填して形成された配線および接続プラグを有する単位配線構造が複数積層される多層配線の製造方法において、

下層導電材料上に直接接する第 1 の絶縁膜と、前記第 1 の絶縁膜上に設けられた第 2 の絶縁膜とを形成する工程と、

前記第1の絶縁膜に配線溝もしくは配線孔を形成する工程と、

前記配線溝もしくは配線孔により区画された配線構造の上面、側壁、および前記配線溝もしくは配線孔の底面に無機絶縁膜を形成する工程と、

前記無機絶縁膜をエッチバックして前記配線構造の底面部の無機絶縁膜を除去する工程と、

前記第2の絶縁膜をエッチバックして除去する工程と、

前記配線構造溝、もしくは配線孔に金属膜を埋設する工程と、を含むことを特徴とする配線構造の製造方法。

**【請求項8】** 半導体基板上の絶縁膜に形成される多層配線の配線構造において、第1の絶縁膜と、前記第1の絶縁膜上に設けられる第2の絶縁膜と、前記第2の絶縁膜上に設けられる第3の絶縁膜とを貫通して形成されるCuを主成分とする導電材料と、第3の絶縁膜上に形成される第4の絶縁膜と、から形成される配線構造において、前記第3の絶縁膜と前記第4の絶縁膜とが同一の材料から形成されることを特徴とする配線構造。

**【請求項9】** 前記第3の絶縁膜と前記第4の絶縁膜とが、いずれも同一材料であり、かつシリコン炭化物を主成分とする材料およびシリコン窒化物を主成分とする材料およびシリコン炭窒化物を主成分とする材料のいずれか一つからなることを特徴とする請求項8に記載の配線構造。

**【請求項10】** 前記第3の絶縁膜と前記第4の絶縁膜とが、いずれも同一材料であり、かつ前記第3の絶縁膜と前記第4の絶縁膜のそれぞれの比誘電率が、前記第2の絶縁膜の比誘電率以上であることを特徴とする請求項8に記載の配線構造。

**【請求項11】** 前記第3の絶縁膜と第4の絶縁膜とが、いずれも同一材料であり、かつSiCN、SiN、SiC、SiCNH、SiCH、SiNH、SiOCH、ベンゾシクロブテン含有の有機膜、およびシリコン含有の有機膜のいずれか一つからなることを特徴とする請求項8乃至10のいずれか1項に記載の配線構造。

**【請求項12】** 半導体素子が形成された基板上の絶縁膜に形成される配線溝および配線孔に銅を主成分とする金属を充填して形成された配線および接続部

ラグを有する単位配線構造が複数積層される多層配線の製造方法において、

下層導電材料上に第1の絶縁膜と、前記第1の絶縁膜上に設けられた第2の絶縁膜と、前記第2の絶縁膜上に設けられた第3の絶縁膜とを形成する工程と、

前記第1の絶縁膜と、前記第2の絶縁膜と、前記第3の絶縁膜とを貫通して配線溝もしくは配線孔を形成する工程と、

前記配線溝もしくは配線孔により区画された配線構造の上面、側壁、および前記配線溝もしくは配線孔の底面に無機絶縁膜を形成する工程と、

前記無機絶縁膜をエッチバックして前記配線構造の底面部の無機絶縁膜を除去する工程と、

前記第2の絶縁膜をエッチバックして除去する工程と、

前記配線構造溝、もしくは配線孔に金属膜を埋設する工程とを含むことを特徴とする配線構造の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、多層配線の配線構造とその製造方法に関し、シリコン酸化膜よりも低誘電率な膜を層間絶縁膜に用いた溝配線（ダマシン配線）構造で構成される多層配線の配線構造とその製造方法に関する。

##### 【0002】

##### 【従来の技術】

従来、半導体高集積回路（L S I）の導電材料には、アルミニウム（A l）またはA l合金が広く用いられてきた。また、配線間および配線層間の絶縁膜にはシリコン酸化膜（S i O<sub>2</sub>膜）が広く用いられてきた。

##### 【0003】

そして、L S Iの製造方法の微細化の進行に伴い、配線における信号伝送の遅延を抑制あるいは低減する必要が生じてきた。このために、配線の低抵抗化として導電材料に銅（C u）が使用されるようになってきた。

##### 【0004】

さらに、配線間の寄生容量の低減化として、配線間および配線層間の絶縁膜に

誘電率の低い有機物や空孔を含んだシリコン酸化膜が使用されるようになってきた。

#### 【0005】

しかし、Cuを主成分とする配線においては、シリコン(Si)やシリコン酸化膜をはじめとする絶縁膜中におけるCuの拡散がAlよりも速いことが知られている。このことから、トランジスタをはじめとする半導体素子部へのCuの侵入および配線間の絶縁耐圧劣化等を防いで、半導体素子信頼性を確保するために、Cuの周囲に拡散を防止する拡散防止(バリア)膜を形成することが必要となる。

#### 【0006】

このCuを用いたダマシン配線構造の形成においては、工程の簡略化とプロセスコストダウンが必要とされている。そして、デュアルダマシン配線の実用化や、デュアルハードマスクを用いた低誘電率層間絶縁膜の加工法の提案などがなされている。

#### 【0007】

上述した多層配線構造は、例えば、特許文献1または特許文献2に開示されている。

#### 【0008】

次に、以下、図面を参照して従来のダマシン配線について説明する。まず、第1の従来例の酸化膜デュアルダマシンについて説明する。

#### 【0009】

図8(A)に示すように、半導体素子が形成された基板上(図示略)のSiN膜801上に、SiO<sub>2</sub>膜802、Cu膜803、Ta/TaN膜804、からなる下層配線を形成し、その上にSiN膜805、SiO<sub>2</sub>膜806、SiON膜807、SiO<sub>2</sub>膜808、がこの順に形成されている。

#### 【0010】

次いで、図8(B)に示すように、フォトレジストと反応性イオンエッチングを用いて、デュアルダマシン溝809を形成する。

#### 【0011】

この時のデュアルダマシン配線溝の形成方法としては、ピアファーストプロセスとトレンチファーストプロセスとが周知である。ピアファーストプロセスは、ピアを先に開口し、開口したピア上面にフォトレジストを塗布して溝パタンを形成するプロセスである。トレンチファーストプロセスは、溝を先に開口し、開口した溝上面にフォトレジストを塗布してピアパタンを形成するプロセスである。

#### 【0012】

次いで、図8 (C) に示すように、全面に、厚さ30nmのTa/TaN膜810をionized-PVD法(バリアスパッタ法)、もしくはCVD法(バリアCVD法)を用いて堆積する。そして、そのまま大気暴露することなくスパッタリング法を用いて厚さ100nmのCuシード層を堆積する。次いで電界めつき法を用いてCu811を堆積する。200°C~400°C程度の温度で5~30分程度熱処理を行い、Cu埋め込み811を形成する。次いでCMPを行い余剰なCuを研磨により除去し、第2のCu配線812を形成する。

#### 【0013】

これらダマシンプロセスに用いられる導体バリア層には、比較的高融点であるチタン(Ti)、タンタル(Ta)、などの金属およびその窒化物、またはそれらを積層したものが用いられる。この理由は、これらのバリア層に用いられるCuの拡散防止能力が高いこと、下地となる絶縁物およびCu配線部との密着性が良いこと、プロセス上の熱的安定性等である。

#### 【0014】

この場合、下に位置するCu配線803と上に位置するCu配線811との接続点であるピアホール底には、導体からなるバリア膜(ここではTa/TaNバリア膜810)が存在する。そして、配線の接続がこのバリア膜を介して行われていることが特徴である。一方、Cu配線の上面には、同様の理由から、絶縁物バリア層(ここではSiN膜805)が用いられる。

#### 【0015】

これらの構造を有する第1の従来例においては、LSIの縮小に伴い、配線幅、ピアホール径共に0.1μm以下の微細配線となる。特に、第1の従来例は、バリアメタルによってCuの拡散を防止するためには、ある一定の厚さを必要と

する。このため、配線の微細化に伴い配線全体に占めるバリアメタルの割合が大きくなるので、配線抵抗が増大する。また、下層のCu配線と上層のCu配線との接合は、抵抗の高い導体バリア層を挟み込む構成となるため、配線抵抗を低く抑えることが困難となる。更に、この第1の従来例は、導体バリア層がCuをロックするという本質に加えて、高抵抗であることが手伝って配線温度が上昇し、エレクトロマイグレーション（Electro-migration: EM）に対する耐性が低くなるという問題が生じる。

#### 【0016】

次に、第2の従来例である多孔質膜デュアルダマシンについて説明する。

#### 【0017】

図9 (A) に示すように、半導体素子が形成された基板上（図示略）のSiN膜901上に多孔質MSQ（メチルシリセスキオサン）膜902、SiO<sub>2</sub>膜903、Cu膜904、Ta/TaN膜905、からなる下層配線を形成し、その上にSiN膜906、多孔質MSQ膜907、SiO<sub>2</sub>膜908の順に形成されている。

#### 【0018】

次いで、図9 (B) に示すように、フォトレジストと反応性イオンエッチングを用いて、デュアルダマシン溝909を形成する。この時のデュアルダマシン配線溝の形成方法としては、ビアを先に開口し、開口したビア上面にフォトレジストを塗布して溝パタンを形成するビアファーストプロセスと、溝を先に開口し、開口した溝上面にフォトレジストを塗布してビアパタンを形成するトレンチファーストプロセスとが周知である。

#### 【0019】

ここで、多孔質MSQ膜は有機成分を含有しているため、O<sub>2</sub>アッシングでは膜劣化を生じるため、O<sub>2</sub>に代わるガス系としてN<sub>2</sub>/H<sub>2</sub>などが用いられることが多く、加工プロセスに注意を要する。

#### 【0020】

次いで、図9 (C) に示すように、全面に、厚さ30nmのTa/TaN膜913をionized-PVD法を用いて堆積する。そして、そのまま大気暴露

することなくスパッタリング法を用いて、厚さ100nmのCuシード層を堆積する。

### 【0021】

次いで、電界めつき法を用いてCuを堆積する、200℃～400℃程度の温度で5～30分程度熱処理を行い、Cu埋め込み911を形成する。次いで、CMPを行い余剰なCuを研磨により除去し、第2のCu配線912を形成し、多層配線構造を得る。

### 【0022】

#### 【特許文献1】

特開2002-118169号公報（図4）

#### 【特許文献2】

特開2001-007204号公報（図3）

#### 【非特許文献1】

I E D M P r o c e e d i n g , 2 0 0 2 , o h t a k e e t , p  
p 5 9 9 .

### 【0023】

#### 【発明が解決しようとする課題】

このようにして製造される半導体装置は、以下のような課題を有していた。第1の従来例では、Cu配線を形成する際の側壁および配線底を、Cuの拡散耐性を有するバリアメタル膜で覆う。これにより、絶縁膜中へのCuの拡散を防ぎ、高信頼性な配線が得られることを示した。

### 【0024】

従来から用いられているバリアメタル膜に用いられる材料は、チタン(Ti)、タンタル(Ta)などの金属およびその窒化物、またはそれらを積層したものが用いられる。そして、その多くは、スパッタリング法に代表されるPVD(Physical Vapor Deposition)法によって、成膜してきた。

### 【0025】

しかしながら、半導体素子の微細化にともなう配線溝幅およびピアホール径の

縮小によって、配線側壁および配線底、およびビアホール側壁およびビアホール底に、均等な厚さでバリアメタルを堆積することが困難となってきた。すなわち、PVD法以外でのバリアメタル層の形成が望まれていた。

#### 【0026】

この問題に対して、当該技術分野における一般的な解決策としては、バリアメタルの成膜をCVD法、あるいはALCVD (Atmospheric layer chemical vapor deposition) 法などで成膜を行うことである。これにより、バリアメタル層のカバレッジを改善し、微細な配線溝やビアホールに対しても均一にバリアメタルを成膜できる手法が用いられている。これらの成膜方法を用いることで、高品質なバリアメタル膜を均一に配線溝、およびビアホールに堆積することができる。

#### 【0027】

一方、第2の従来例に示すような層間絶縁膜へ多孔質低誘電率膜の導入が進められている。これは半導体素子に多層配線を用いることで高速かつ低電力で接続するために、微細化だけでなく、層間絶縁膜の低誘電率化が有効であり、これら双方を両立することが求められていたためである。

#### 【0028】

配線間の実効的な容量を低減するために、層間絶縁膜（この場合シリコン酸化膜 ( $k = 4.2$ )）の低誘電率化が必要とされていた。低誘電率膜は、例えばHSQ (ハイドロゲンシルセスキオキサン (Hydrogen Silsesquioxane)) 膜、MSQ (メチルシルセスキオキサン (Methyl Silsesquioxane)) 膜、CDO (カーボンドープトオキサイド (Carbon doped oxide)) あるいはそれらを多孔質にした膜などである。そして、回転塗布法やCVD (Chemical Vaper Deposition) 法などにより形成される。

#### 【0029】

これらの低誘電率膜は低密度であることが特徴であり、中には1nm以上の気孔を有する場合もある。これら低誘電率膜中に配線溝、あるいはビアホールを形成し金属配線材を埋め込んで配線を形成する場合には、配線溝、あるいはビアホ

ールの側壁からは、容易に液体や気体や異種金属などが絶縁膜内部に浸透するという問題を有している。

#### 【0030】

このような低誘電率膜に埋め込み金属配線を形成する場合、重要な問題点を生じる。

#### 【0031】

第一に、低誘電率絶縁膜内に配線溝もしくは配線孔を反応性エッチング技術によって形成する際に、開口した配線溝もしくは配線孔底部に露出した下層配線もしくは下層配線孔のCuが多孔質低誘電率膜内に飛散し配線間もしくは配線孔間の絶縁信頼性を劣化させる問題を有していた。

#### 【0032】

第二に、前述の例えばCVD法のような気体からの反応を利用する方法を用いて導電性バリアメタルを堆積する場合に、気体原料が容易に配線溝、あるいはピアホールの側壁から多孔質低誘電率絶縁膜内部に進入し、本来溝、あるいはピアホール側壁に形成されるはずのバリアメタル層が絶縁膜内部にも析出することとなり、配線間リーク電流や絶縁耐性および信頼性を劣化させるという問題を有していた。

#### 【0033】

第三に、低誘電率膜が多孔性を有する場合、外部からの水分などの進入を防ぐためにより緻密な膜でCu配線の上面を保護する必要が生じるが、比誘電率の高い材料を従来材料用いただけでは配線間容量を増大させてしまう問題を有していた。

#### 【0034】

さらに、多孔質材料を用いない場合にも共通する、半導体素子を接続する多層配線の問題として、Cu埋め込み配線についての信頼性課題も明らかとなっている。第1乃至第2の従来例に示すように、Cuを配線材として備える多層配線構造においては、層間絶縁膜中へのCuの拡散を防ぐために、Cuの側壁および底面をバリアメタルで被覆した構造を用いるが、この時接続プラグと下層配線はバリアメタルを介して接続するため、接続抵抗が上昇し、配線の信頼性を劣化させ

る原因となっていた。

### 【0035】

したがって、本発明の目的は、銅を主成分とする微細な金属配線を多孔質低誘電率絶縁膜内部に形成する際に、金属配線の外周をバリア絶縁膜で囲むことで、微細な配線溝、およびビアホール内に均一に銅拡散防止膜を形成する。

### 【0036】

これにより、配線内部へのCuの拡散を防ぎ、配線間のリーク電流を低く保ち、絶縁信頼性を高く保ち、層配線間の接続抵抗を低く保ち、EMに対する高い耐性を持つ配線構造により、信頼性の高集積回路となる半導体装置とその製造方法を提供することにある。

### 【0037】

#### 【課題を解決するための手段】

かかる課題を解決するため、本願発明では、半導体素子が形成された基板上の絶縁膜に形成される配線溝およびビアホールに金属配線を充填して形成された配線および接続プラグを有する単位配線構造が複数積層される多層配線の配線構造において、

少なくとも1単位配線構造以上の金属配線と層間絶縁膜との間に、窒化シリコンからなる絶縁性バリア層および炭化シリコンからなる絶縁性バリア層および前記窒化シリコンに有機物を含む絶縁性バリア層および前記炭化シリコンに有機物を含む絶縁性バリア層のいずれか一つが挿入されて、前記金属配線の外周が覆われている構成である。

### 【0038】

すなわち、銅の拡散を防止する絶縁性バリア層で金属配線の外周を覆う配線構造とする。絶縁性バリアメタル膜は窒化シリコン、あるいは炭化シリコン、あるいはそれら有機物を含む化合物によって形成される配線構造とする。前記絶縁性バリア層の厚さが50nm以下の配線構造とする。

### 【0039】

前記絶縁性バリア膜は、1層あるいは2層以上の積層膜構造、もしくは膜厚方向に組成分布を有する構造とする。前記層間絶縁膜のうち少なくとも一層以上が

比誘電率3.0以下の多孔質膜である配線構造とする。

#### 【0040】

銅配線の上面に形成する、銅拡散防止層が、2層以上、もしくは厚さ方向に組成分布を有する膜から成り、かつ50nm以下の積層膜構造とする。

#### 【0041】

これらの配線構造を得るに必要な主要な製造工程としては、

半導体素子が形成された基板上の絶縁膜に形成される配線溝および配線孔に銅を主成分とする金属を充填して形成された配線および接続プラグを有する単位配線構造が複数積層される多層配線の製造方法において、

下層導電材料上に直接接する第1の絶縁膜と、前記第1の絶縁膜上に設けられた第2の絶縁膜とを形成する工程と、

前記第1の絶縁膜に配線溝もしくは配線孔を形成する工程と、

前記配線溝もしくは配線孔により区画された配線構造の上面、側壁、および前記配線溝もしくは配線孔の底面に無機絶縁膜を形成する工程と、

前記無機絶縁膜をエッチバックして前記配線構造の底面部の無機絶縁膜を除去する工程と、

前記第2の絶縁膜をエッチバックして除去する工程と、

前記配線構造溝、もしくは配線孔に金属膜を埋設する工程とを備えるようとする。

#### 【0042】

上述した（多層）配線構造および配線構造の形成方法からなる本発明を適用することで、以下のように技術の改善がなされる。

#### 【0043】

(1) 多孔質低誘電率絶縁膜に形成された微細な配線溝、もしくはビアホールを充填する銅埋め込み配線構造において、窒化珪素、炭化珪素もしくはそれらに有機物を含む化合物からなるCu拡散防止絶縁膜でCu配線の外周を覆うことによって、高い配線間絶縁特性、および絶縁信頼性を有する多層配線が得られるようになる。

#### 【0044】

(2) 配線の外周を覆う拡散防止絶縁膜の膜厚方向の組成分布を制御し、Cuと接する面ではシリコン含有量を多くすることでCuとの密着性を向上させ、低誘電率層間絶縁膜と接する面では窒素および炭素を多く含有することで、対Cu酸化耐性、および対Cu拡散防止性を向上させ、高い絶縁耐圧信頼性を有する多層配線が得られるようになる。

#### 【0045】

(3) バリア絶縁膜で外周を覆われた単位Cu配線において、配線と接続プラグが異種界面層を介することなくCu/Cuで接合されているため、Cu配線のエレクトロマイグレーションやストレスマイグレーションに対して高い耐性を有する多層配線が得られるようになる。

#### 【0046】

(4) バリアメタルを用いないことで、バリアメタルの内部応力に起因した配線構造ストレスをなくすことができ、Cu配線のストレスマイグレーションに対して高い信頼性を有する多層配線が得られるようになる。

#### 【0047】

(5) 多孔質低誘電率絶縁膜に形成された微細な配線溝、もしくはビアホールを充填する銅埋め込み配線構造において、窒化珪素、炭化珪素もしくはそれらに有機物を含む化合物からなるCu拡散防止絶縁膜でこれらの溝およびビア側壁を被服した後に、開口した配線溝もしくは配線孔底部に下層配線もしくは下層配線孔のCuが露出した場合にも、多孔質低誘電率絶縁膜内へのCuの飛散を防止することができ、ひいては高い配線間絶縁特性、および絶縁信頼性を有する多層配線が得られるようになる。

#### 【0048】

以上、本発明により、低誘電率の絶縁材料を用いたダマシン配線構造が容易に形成できるようになり、量産製造に十分に適用できるようになる。そして、微細構造、高い性能、高い信頼性を有する多層配線構造の製造が容易になる。

#### 【0049】

さらに、本発明では、半導体基板上の絶縁膜に形成される溝配線の構造において、同層配線間を分離する層間絶縁部の最上面を形成する材料と、異層配線間を

分離する層間絶縁膜の最下面を形成する材料とが、同一の材料からなる多層構造であることを特徴とする。

#### 【0050】

すなわち、半導体基板上の絶縁膜に形成される多層配線の構造において、半導体基板上の絶縁膜に形成される多層配線の構造において、第1の絶縁膜と、前記第1の絶縁膜上に設けられる第2の絶縁膜と、前記第2の絶縁膜上に設けられる第3の絶縁膜とを貫通して形成される導電材料と、第3の絶縁膜上に形成される第4の絶縁膜と、から形成される配線構造において、前記第3の絶縁膜と前記第4の絶縁膜とが同一の材料から形成されることを特徴とする配線構造を提案する。

#### 【0051】

さらに、第3の絶縁膜と、第4の絶縁膜とが、シリコン炭化物、あるいはシリコン窒化物、あるいはシリコン炭窒化物を主成分とする材料からなることを特徴とする、多層配線構造を提案する。

#### 【0052】

さらに、第3の絶縁膜と第4の絶縁膜の比誘電率が、第2の絶縁膜の比誘電率より大きいことを特徴とする請求項1に記載の多層配線構造を提案する。

#### 【0053】

さらに詳しくは、第3の絶縁膜と第4の絶縁膜とが、SiCN、SiN、SiC、SiCNH、SiCH、SiNH、SiOCH、ベンゾシクロブテン含有有機膜、または、シリコン含有有機膜からなることを特徴とする、多層配線構造を提案する。

#### 【0054】

上述した（多層）配線構造および配線構造の形成方法からなる本発明を適用することで、さらに、以下のように技術の改善がなされる。

#### 【0055】

(6) 第3の絶縁膜と、第4の絶縁膜とを同一の材料から形成することにより、Cu-CMPでの研磨時に形成された第3の絶縁膜上のダメージ部分（おそらくはCMPにより発生した非共有電子対やトラップ、欠陥など）が第4の絶縁膜

形成時に修復、低減、あるいは消失することで、配線間のリーク電流の経路を低減し、配線間の絶縁信頼性を向上させることができる。

#### 【0056】

(7) 第3の絶縁膜と、第4の絶縁膜とを、SiCN、SiN、SiC、SiCNH、SiCH、SiNH、のいずれかからなる材料とすることで、従来配線と同等の配線容量を確保しつつ、Cu配線の絶縁信頼性を向上させることができる。

#### 【0057】

(8) 第3の絶縁膜と、第4の絶縁膜とを、ベンゾシクロブテン、有機膜、あるいはシリコン含有有機膜からなる材料とすることで、従来配線とよりも低い配線容量を確保しつつ、Cu配線の絶縁信頼性を向上させることができる。

#### 【0058】

以上、本発明により、低誘電率の絶縁材料を用いたダマシン配線構造において、微細構造、低い配線間容量、高い絶縁信頼性を有する多層配線構造の製造が容易になる。

#### 【0059】

##### 【発明の実施の形態】

次に、本発明の実施の形態を図面により詳細に説明する。まず、多孔質デュアルダマシン構造に側壁塞ぎ膜に係る本発明の第1の実施形態の配線構造について、説明する。

#### 【0060】

##### (実施形態1)

図1 (A) に示すように、本発明の第1の実施形態の配線構造では、半導体素子が形成された基板上(図示略)に第1のCu膜101を形成し、Cu膜101の上に絶縁性バリア膜102を形成する。さらに、絶縁性バリア膜102の上に層間絶縁膜103を積層し、層間絶縁膜103上に絶縁性バリア膜104を堆積し、絶縁性バリア膜104の上に層間絶縁膜105を形成する。

#### 【0061】

この時、絶縁性バリア膜102および104は、少なくとも一層以上の窒化シ

リコン、炭化シリコン、あるいはそれらの化合物、あるいはそれらの化合物に炭素、水素を含有する有機化合物、あるいはそれらを積層した化合物などであり、場合によっては若干の酸素を含有していても良い。

#### 【0062】

例えば、SiN、SiC、SiCN、SiNH、SiCNHなどであり、それらの積層構造の組み合わせとしては、SiN（上層）／SiC（下層）、SiN／SiCN、SiN／SiNH、SiN／SiCHN、SiC／SiN、SiC／SiCN、SiC／SiNH、SiC／SiCNH、SiNH／SiN、SiNH／SiC、SiNH／SiCNHなどがよい。有機含有膜の例としては、例えばプラズマCVD法あるいはプラズマ重合法で成膜した有機膜、例えばBCB（ベンゾシクロブテン）などでも良い。尚、ここで示した化学式は必ずしも化学組成比を反映しているわけではない。

#### 【0063】

また、層間絶縁膜103および105は少なくとも一層以上の低誘電率膜、例えば、比誘電率は2.0～3.0を有する、低誘電率膜3.0以下の絶縁膜、HSQ（ハイドロゲンシルセスキオキサン（Hydrogen Silsesquioxane））膜（例えば、Type12TM）、MSQ（メチルシルセスキオキサン（Methyl Silsesquioxane））膜（例えば、JSR-LKDTM、ALCAPTM、IPSTM、HOSPTM）、BCB（ジビニルシロキサンビスベンゾシクロブテン）膜、有機ポリマー膜（SiLKTM、FlareTM）、もしくはSiOCH、SiOC（例えば、Black DiamondTM、CORALTM、AuroraTM、OrionTMなど）もしくはそれらに有機物を含んだ絶縁薄膜、あるいはそれらを多孔質にした膜などである。

#### 【0064】

必要に応じてCVD法で形成されるシリコン酸化膜やシリコン窒化膜、シリコン炭化膜、シリコン炭窒化膜などを積層、挿入しても良く、膜厚方向に組成分布を有していてもよい。

#### 【0065】

また、第1のCu膜101は、Cuを主成分とする金属からなり、必要に応じて、例えば、Ti、Sn、Znなどの異種金属を含有することや、Ta、Ti、W、Siおよびその窒素化物、あるいはその積層膜（図示略）などを、任意の方法によって挿入しても良い。

#### 【0066】

次いで、図1（B）に示すように、フォトレジストと反応性イオンエッチングを用いて、層間絶縁膜内にデュアルダマシン配線溝106を形成する。

#### 【0067】

次いで、図1（C）に示すように、全面、つまり層間絶縁膜105の上面、および配線溝106の側面および絶縁性バリア膜102および絶縁性バリア膜104の上面に絶縁性バリア膜107を形成する。

#### 【0068】

この時、絶縁性バリア膜107は少なくとも一層以上の窒化シリコン、炭化シリコン、あるいはそれらの化合物、あるいはそれらの化合物に水素を含有する化合物、あるいはそれらを積層した化合物などであり、場合によっては若干の酸素を含有していても良い。

#### 【0069】

例えば、SiN、SiC、SiCN、SiNH、SiCNHなどであり、それらの積層構造の組み合わせとしては、SiN（上層）／SiC（下層）、SiN／SiCN、SiN／SiNH、SiN／SiCHN、SiC／SiN、SiC／SiCN、SiC／SiNH、SiC／SiCNH、SiNH／SiN、SiNH／SiC、SiNH／SiCNHなどがよい。

#### 【0070】

尚、ここで示した化学式は必ずしも化学組成比を反映しているわけではない。また、堆積する絶縁性バリア膜107の厚さは0.1～100nm程度が良く、好ましくは微細な配線溝に対して極端に溝幅を狭めることのない、1～20nm程度が良い。

#### 【0071】

次いで、図1（D）に示すように絶縁性バリア膜107をエッチバックし、次

いで、図1（E）に示すように続いて配線溝107底部の絶縁性バリア膜102をエッチバックする。この時、配線溝106側壁に形成された絶縁性バリア膜107は除去されずに残る。

#### 【0072】

この時、下層との接続部が開口していれば良く、導体装置自体の機能に悪影響を及ぼさない限り、それ以外の部分のいずれに絶縁性バリア膜107が形成されても差し支えない。

#### 【0073】

次いで、図1（F）に示すように、形成された配線溝に第2のCu膜を埋め込み、Cu配線108を形成する。次いで、Cu配線108の上に絶縁性バリア膜109を形成する。この時、Cuの埋め込み方法は、PVD法、ionized-PVD法、CVD法、プラズマCVD法などであり、これらいずれを用いても良く、また、いずれを組み合わせても良く、Cuの成膜方法は本発明を限定するものではない。

#### 【0074】

また、Cu配線108はCuを主成分とする金属からなり、必要に応じて例えばTi、Sn、Znなどの異種金属を含有することや、Ta、Ti、W、Siおよびその窒素化物、あるいはその積層膜（図示略）などを挿入しても良い。

#### 【0075】

このようにして、少なくとも1単位配線構造以上の金属配線が、窒化シリコン、あるいは炭化シリコン、あるいはそれらに有機物を含む絶縁膜によって外周を覆われている配線構造を形成することができる。

#### 【0076】

次に、酸化防止キャップ膜に係る本発明の第2の実施形態の配線構造について、説明する。

##### （実施形態2）

図2（A）に示すように、本発明の第2の実施形態の配線構造では、半導体素子が形成された基板上（図示略）の第1のCu膜201上に、絶縁性バリア膜202、バリア絶縁膜203、層間絶縁膜204および層間絶縁膜205のそれぞ

れを、第1のCu膜201に近い方から絶縁性バリア膜202および絶縁性バリア膜203、層間絶縁膜204、層間絶縁膜205、層間絶縁膜206の順に積層する。

### 【0077】

この時、絶縁性バリア膜202または絶縁性バリア膜203は、少なくとも一層以上の窒化シリコン、炭化シリコン、あるいはそれらの化合物、あるいはこれらの化合物に水素を含有する化合物、あるいはそれらを積層した化合物などであり、場合によっては若干の酸素を含有していても良い。例えばSiN、SiC、SiCN、SiNH、SiCNHなどであり、それらの積層構造の組み合わせとしては、SiN（上層）／SiC（下層）、SiN／SiCN、SiN／SiNH、SiN／SiCHN、SiC／SiN、SiC／SiCN、SiC／SiNH、SiCNH／SiN、SiNH／SiC、SiNH／SiCNHなどがよい。尚、ここで示した化学式は必ずしも化学組成比を反映しているわけではない。

### 【0078】

また、層間絶縁膜204は絶縁膜からなり、例えば、シリコン酸化膜、HSQ（ハイドロゲンシルセスキオキサン（Hydrogen Silsesquioxane））膜、MSQ（メチルシルセスキオキサン（Methyl Silsesquioxane））膜、BCB（ジビニルシロキサンビスベンゾシクロブテン）膜、芳香族を含む有機ポリマー膜、もしくはSiOCH、SiOCもしくはそれらに有機物を含んだ絶縁薄膜、あるいはそれらを多孔質にした膜などであり、必要に応じてCVD法で形成されるシリコン酸化膜やシリコン窒化膜、シリコン炭化膜、シリコン炭窒化膜などを積層、挿入しても良い。

### 【0079】

また、層間絶縁膜205はエッティングストッパーの機能とCu拡散防止機能を合わせ持つ材料であり、例えば少なくとも一層以上の窒化シリコン、あるいは炭化シリコン、あるいはそれらに有機物を含む化合物からなる。

また、層間絶縁膜206は少なくとも一層以上の低誘電率膜を例えば、比誘電率は2.0～3.0を有する、HSQ（ハイドロゲンシルセスキオキサン（Hyd

rogen Silsesquioxane) ) 膜、MSQ (メチルシリセスキオキサン (Methyl Silsesquioxane) ) 膜、BCB (ジビニルシロキサンビスベンゾシクロブテン) 膜、芳香族を含む有機ポリマー膜、もしくはSiOCH、SiOCもしくはそれらに有機物を含んだ絶縁薄膜、あるいはそれらを多孔質にした膜などであり、必要に応じてCVD法で形成されるシリコン酸化膜やシリコン窒化膜、シリコン炭化膜、シリコン炭窒化膜などを積層、挿入しても良い。

#### 【0080】

また、第1のCu膜201は、Cuを主成分とする金属からなり、必要に応じて例えばTi、Sn、Znなどの異種金属を含有することや、Ta、Ti、W、Siおよびその窒素化物、あるいはその積層膜などをバリアメタル(図示略)として使用しても良い。

#### 【0081】

次いで、図2(B)に示すようにフォトレジストと反応性イオンエッティングを用いて、層間絶縁膜204、205、206内にいわゆるデュアルダマシン溝207を(配線溝と配線孔を同時に)形成する。

#### 【0082】

次いで、図2(C)に示すように、全面、つまり層間絶縁膜206の上面、およびデュアルダマシン溝207を形成する層間絶縁膜206の側面、および層間絶縁膜205の側面、および層間絶縁膜204の側面、および絶縁性バリア膜203の上面に絶縁性バリア膜208を形成する。

#### 【0083】

この時、絶縁性バリア膜208は少なくとも一層以上の窒化シリコン、炭化シリコン、あるいはそれらの化合物、あるいはこれらの化合物に水素を含有する化合物、あるいはそれらを積層した化合物などであり、場合によっては若干の酸素を含有していても良く、Cuに対する拡散耐性を有する。例えばSiN、SiC、SiCN、SiNH、SiCNHなどであり、これらの積層構造の組み合わせとしては、SiN(上層)／SiC(下層)、SiN／SiCN、SiN／SiNH、SiN／SiCHN、SiC／SiN、SiC／SiCN、SiC／Si

NH、SiC/SiCNH、SiNH/SiN、SiNH/SiC、SiNH/SiCNHなどがよい。尚、ここで示した化学式は必ずしも化学組成比を反映しているわけではない。

#### 【0084】

また、堆積する絶縁性バリア膜208の厚さは0.1～100nm程度が良く、好ましくは微細な配線溝および配線孔に対して極端に寸法幅を狭めることのない、1～20nm程度が良い。

#### 【0085】

次いで、図2(D)に示すように絶縁性バリア膜207をエッチバックし、次いで図2(E)に示すように続いてデュアルダマシン溝207底部の絶縁性バリア膜202をエッチバックする。この時、配線溝207の側壁に形成された絶縁性バリア膜208は除去されずに残る。

#### 【0086】

次いで、図2(F)に示すように、形成された配線溝に第2のCu膜を埋め込み、Cu配線209を形成する。次いで、Cu配線209の上に絶縁性バリア膜210および絶縁性バリア膜211を形成する。

#### 【0087】

この時、Cu配線209はCuを主成分とする金属からなり、必要に応じて例えばTi、Sn、Znなどの異種金属を含有することや、Ta、Ti、W、Siおよびその窒素化物、あるいはその積層膜(図示略)などを挿入しても良い。

#### 【0088】

本実施形態に示した半導体装置は、配線間リーク電流が小さくかつ、配線間の絶縁体耐圧も大きいことを確認した。また、試験温度300℃、ストレス電界2MV/cmにて配線間の絶縁寿命の増加が認められた。

#### 【0089】

次に、本発明の第1の実施形態の配線構造および本発明の第2の実施形態の配線構造に係る本発明の実施例の配線構造について説明する。

#### 【0090】

まず、「デュアルダマシン側壁塞ぎ」である本発明の第1の実施例の配線構造

について説明する。

(第1の実施例) デュアルダマシン側壁塞ぎ

図3 (A) に示すように、本発明の第1の実施例の配線構造では、半導体素子が形成された基板上(図示略)のSiCN膜301上に、多孔質SiCOH膜302、SiCN膜303、多孔質SiCOH膜304、第1のCu配線305、からなる下層Cu配線構造を形成する。多孔質SiCOH膜302、SiCN膜303および多孔質SiCOH膜304のいずれの絶縁膜もプラズマCVD法によって形成した。

【0091】

さらに、第1のCu配線の上部には、SiCN膜306、SiCOH膜307、SiCN膜308、SiCOH膜309、SiCN膜310、からなる接続プラグ配線構造を形成する。

【0092】

次いで、図3 (B) に示すように、フォトレジストを用いてArF露光を行い、次いで、反応性イオンエッティングとアッシングプロセスを用いてダマシン配線溝311を形成した。

【0093】

次いで、アミン系の有機剥離液によって、エッティング溝加工時に発生したデボ層や残渣などを除去した。次いで、図3 (C) に示すように、全面、つまりダマシン溝311を形成する多孔質SiOCH膜307の側面に、SiCN膜(308、310)の上面に、SiCN膜312を形成した。

【0094】

次いで、図3 (D) に示すように、SiCN膜312をエッチバックし、次いで、図3 (E) に示すように、続いて、ダマシン溝311底部のSiCN膜312をエッチバックする。この時、SiCN膜312のうちダマシン配線溝311の底部に堆積したもののみを選択的にエッティングで除去し、側壁部に形成されたSiCN膜312は、除去せずに残す。

【0095】

この時、SiCN膜312の除去する際に下層Cuプラグが露出し、エッテン

グ中にCuが叩かれ、配線溝内に飛散する現象が生じるが、溝側壁は絶縁性バリア膜312で覆われているため、層間絶縁膜307内にCuが入り込むのを防ぐことができる。

#### 【0096】

また、配線溝311の底部において絶縁性バリア膜SiCN膜312が除去されても、SiCN膜309もまたCuに対する拡散バリア性を有するため、Cu配線を直接形成することができる。

#### 【0097】

次いで、図3(F)に示すように形成された配線溝にPVD法によりCuシード層を形成し、次いで、電界めつき法によりCu膜313を堆積した。次いで、350°Cで30分の熱処理を加えることでCuの結晶化を進め、次いで、CMPを行い余剰なCuを研磨により除去し、第2のCu配線313を形成した。

#### 【0098】

このようにして形成した多層配線の性能を比較するため、SiCN膜312を形成する以外は、前述と同様の操作で半導体装置を作製した。配線間リーク電流を測定したところ、本実施例に示した半導体装置はリーク電流が観察されず、比較用半導体装置ではリーク電流が認められた。

#### 【0099】

次に、「DDI+バリアメタル」である本発明の第2の実施例の配線構造について説明する。

##### (第2の実施例) DDI+バリアメタル

図4(A)に示すように、本発明の第2の実施例の配線構造では、半導体素子が形成された基板上(図示略)のBCB401上に、多孔質SiOCH膜402、BCB膜403、BCB膜404、第1のCu配線405、からなる下層Cu配線構造を形成する。

#### 【0100】

さらに、第1のCu配線の上部には、SiCN膜407、SiCOH膜408、SiCN膜409、SiCOH膜410、SiCN膜411を積層して形成する。

### 【0101】

次いで、図4（B）に示すように、フォトリソグラフィープロセスを用いて微細パターンを形成し、反応性イオンエッティングとアッシングプロセスを用いて、ダマシン配線孔412を形成する。

### 【0102】

この時、ダマシン配線孔412の形成の際に下層Cu配線が露出し、叩かれたCuが飛散するが、SiOCH膜407は比誘電率3.0以上で高密度であるため、絶縁膜内部にまでCuは飛散しなかった。次いでアミン系有機剥離を用いて、エッティング溝加工時に発生したデポ層や残渣などを除去し、ダマシン配線孔412の内部に付着したCuも同時に除去した。

### 【0103】

次いで、有機剥離によって、デポ層や残渣などを除去した後、図4（C）に示すようにBCB膜413を堆積した。次いで、図4（D）に示すようにBCB膜413をエッチバックし、次いで図4（E）に示すようにダマシン配線溝415底部のBCB膜413をエッチバックした。次いで図4（F）に示すように形成された配線溝に下層Cu接続プラグと同様の方法で、第2のCu配線415を形成した。

### 【0104】

このようにして、ビア部のCuは外周をバリアメタルによって覆われ、配線部のCuは外周をバリア絶縁膜によって覆われる多層配線構造を形成することができる。

### 【0105】

このようにして形成した多層配線の性能を比較するため、BCB膜416を形成する以外は前述と同様の操作で半導体装置を作製した。配線間リーク電流を測定したところ、本実施例に示した半導体装置はリーク電流が観察されず、比較用半導体装置ではリーク電流が認められた。

### 【0106】

次に、「デュアルダマシンバリアメタル抜き」である本発明の第3の実施例の配線構造について説明する。

## (第3の実施例) デュアルダマシンバリアメタル抜き

図5 (A) に示すように、本発明の第3の実施例の配線構造では、半導体素子が形成された基板上(図示略)のSiC膜501上に、多孔質SiOCH膜502、SiC膜503、SiC膜505、バリアメタル膜506、第1のCu配線504、からなる下層Cu配線構造を形成した。

## 【0107】

さらに、第1のCu配線の上部には、SiCN膜507、SiCOH膜508、SiCN膜509、SiCOH膜510、SiCN膜511を積層して形成する。

## 【0108】

この時、SiC膜503と第1のCu配線506との間に密着層を挿入することが、密着性向上に有効であり、例えば、バリアメタル膜505は少なくとも一層以上のTa、Ti、W、Si、Zrからなる金属膜で、それらの化合物、あるいはこれらの化合物に窒素を含有する化合物でよく、厚さは15nmとした。ここではCVD法により成膜したTa(15nm)のバリア膜を用いた。

## 【0109】

次いで、図5 (B) に示すようにフォトリソグラフィープロセスを用いて微細パターンを形成し、反応性イオンエッチングとアッシングプロセスを用いて、ダマシン配線溝512を形成した。

## 【0110】

次いで、図5 (C) に示すように、全面にSiC膜513を形成した。次いで、図5 (D) に示すように、SiC膜513をエッチバックし、次いで、図5 (E) に示すように、続いてダマシン配線溝512底部のSiC膜513をエッチバックする。この時、SiC膜513のうちダマシン配線溝512の底部に堆積したもののみを選択的にエッティングで除去し、側壁部に形成されたSiC膜513は除去せずに残す。

## 【0111】

次いで、図5 (F) に示すように、CVD法により形成したTa(15nm)のバリア膜514を堆積し、その上にPVD法によりCuシード層を形成し、次

いで、電界めっき法により Cu 膜を堆積した。次いで、余剰なバリアメタルおよび Cu を CMP によって除去することで、多層配線構造を形成した。

#### 【0112】

このようにして形成した多層配線の性能を比較するため、SiC 膜 513 を形成する以外は、前述と同様の操作で半導体装置を作製した。配線間リーク電流を測定したところ、本実施例に示した半導体装置はリーク電流が観察されず、比較用半導体装置ではリーク電流が認められた。

#### 【0113】

次に、「デュアルダマシン配線表面窒化で目ズレ対策」である本発明の第4の実施例の配線構造について説明する。

(第4の実施例) デュアルダマシン配線表面窒化で目ズレ対策

図6 (A) に示すように、本発明の第4の実施例の配線構造では、半導体素子が形成された基板上(図示略)の SiCN 膜 601 上に、多孔質 SiOCH 膜 602、SiCN 膜 603、Cu 膜 604 からなる下層配線を形成する。

#### 【0114】

次いで、図6 (B) に示すように、多孔質 SiOCH 膜 602 の表面を N<sub>2</sub> プラズマ、あるいは NH<sub>3</sub> プラズマなどの窒素を含むプラズマによって表面改質をすることで、改質層 605 を形成する。

#### 【0115】

次いで、図6 (C) に示すように、SiCN 膜 606、多孔質 SiOCH 膜 607、SiCN 膜 608、多孔質 SiOCH 膜 609 および SiCN 膜 610 のそれぞれを堆積する。

#### 【0116】

次いで、図6 (D) に示すように、フォトレジストと反応性イオンエッチングを用いてデュアルダマシン溝 611 を形成する。次いで、図6 (E) に示すように、デュアルダマシン溝 611 の全面に、厚さ 20 nm の SiCN 膜 612 を形成する。

#### 【0117】

次いで、図6 (F) に示すように、SiCN 膜 612 をエッチバックする。こ

の時、デュアルダマシン溝611の側壁に形成されたSiCN膜612は除去せずに残す。さらにこの時、ビア底がエッチングされた際に、改質層605がエッチストップ層として機能するため、多孔質SiOCH膜602内への突き抜けを防止することができる（参照符号613）。

#### 【0118】

次いで、図6（G）に示すように、形成された配線溝に第2のCu膜を埋め込み、PVD法によりCuシード層を形成し、次いで電界めっき法によりCu膜を堆積した。次いで、CMPを行い余剰なCuを研磨により除去し、第2のCu配線614を形成した。

#### 【0119】

このようにして形成した多層配線の性能を比較するため、改質層605を形成する以外は前述と同様の操作で半導体装置を作製した。配線間リーク電流を測定したところ、本実施例に示した半導体装置はリーク電流が観察されず、比較用半導体装置ではリーク電流が認められた。

#### 【0120】

また、従来例2に示した操作で半導体装置を作製し、ビア接続抵抗を比較したところ、本実施例に示した半導体装置はビア接続抵抗が約1/2に低減することを確認した。またビア接続部のエレクトロマイグレーション試験を行ったところ、試験温度300°C、ストレス電流3MV/cm<sup>2</sup>にて寿命が約10倍に増加した。これらは異層間の配線の接続がCu/Cuのダイレクト接合によって形成されているためである。

次に、本発明を半導体装置に適用した配線構造を、実施例5として示す。

#### （実施例5） 配線構造への適用例

図7（A）に示したのは、本発明にバリアメタルを併用した例である。図7（B）に示したのは、本発明をシングルダマシン配線に適用した例である。図7（C）に示したのは、本発明をシングルダマシンに適用し、かつビア層間絶縁膜が多孔質絶縁膜でない場合の適用例である。図7（D）に示したのは、本発明をシングルダマシンに適用し、かつ、バリアメタルを併用した例である。

#### 【0121】

このようにして形成した半導体装置について、配線間リーク電流を測定したところ、本実施例に示した半導体装置はリーク電流が観察されることはなかった。

### 【0122】

次に、多孔質シングルダマシン構造に側壁塞ぎ膜に関する本発明の第3の実施の形態の配線構造について、説明する。

### 【0123】

(第3の実施形態) 多孔質シングルダマシン構造に側壁塞ぎ膜

図13 (A) に示すように、本発明の第3の実施の形態の配線構造では、半導体素子が形成された基板上(図示略)に、ピア層間絶縁膜1301、ピア層間絶縁膜1302、絶縁性バリア膜1303、多孔質層間絶縁膜1304、層間絶縁膜1305および層間絶縁膜1302のそれぞれを積層する。

### 【0124】

この時ピア層間絶縁膜1301は、少なくとも一層以上の絶縁膜で、比誘電率が層間絶縁膜1304よりも大きいことが特徴である。例えば、ピア層間絶縁膜1301は、比誘電率は2.5~3.0を有する、HSQ(ハイドロゲンシリセスキオキサン(Hydrogen Silsesquioxane))膜(例えば、Type12TM)である。またさらに、ピア層間絶縁膜2301-1は、MSQ(メチルシリセスキオキサン(Methyl Silsesquioxane))膜(例えば、JSR-LKDTM、ALCAPTM、IPSTM、HOSPTM)であり、BCB(ジビニルシロキサンビスベンゾシクロブテン)膜であり、有機ポリマー膜(SiLKTM、FlareTM)である。さらに、ピア層間絶縁膜301は、SiOCHであり、SiOC(例えば、Black DiamondTM、CORALTM、AuroraTM、OrionTMなど)などである。

### 【0125】

ピア層間絶縁膜1302は、シリコン酸化膜、シリコン炭化膜、シリコン窒化膜、シリコン炭窒化膜などである。

### 【0126】

バリア絶縁膜1303は、少なくとも一層以上の窒化シリコン、炭化シリコン、あるいはこれらの化合物、あるいはこれらの化合物に炭素、水素を含有する有機含有膜、あるいはそれらを積層した化合物などである。場合によっては、若干の酸素を含有していても良い。例えば、SiN、SiC、SiCN、SiNH、SiCNHなどである。

### 【0127】

それらの積層構造の組み合わせとしては、SiN（上層）／SiC（下層）、SiN／SiCN、SiN／SiNH、SiN／SiCHN、SiC／SiN、SiC／SiCN、SiC／SiNH、SiC／SiCNH、SiNH／SiN、SiNH／SiC、SiNH／SiCNHなどがよい。

### 【0128】

有機含有膜の例としては、例えばプラズマCVD法あるいはプラズマ重合法で成膜した有機膜、例えばBCB（ベンゾシクロブテン）などでも良い。尚、ここで示した化学式は必ずしも化学組成比を反映しているわけではない。

### 【0129】

多孔質層間絶縁膜1304は、少なくとも一層以上の気孔を含む低誘電率膜、例えば、比誘電率は2.0～2.8を有する、HSQ（ハイドロゲンシリセスキオキサン（Hydrogen Silsesquioxane））膜（例えば、Type12TM）、MSQ（メチルシリセスキオキサン（Methyl Silsesquioxane））膜（例えば、JSR-LKDTM、ALCAPTM、IPSTM、HOSPTM）、BCB（ジビニルシロキサンビスベンゾシクロブテン）膜、有機ポリマー膜（SiLKTm、FlareTM）、もしくはSiOCH、SiOC（例えば、Black DiamondTM、CORALTM、AuroraTM、OrionTMなど）もしくはそれに有機物を含んだ絶縁薄膜を、多孔化することで低誘電率化した膜である。必要に応じて上面や下面に薄いリコン酸化膜やシリコン窒化膜、シリコン炭化膜、シリコン炭窒化膜などを積層、挿入しても良く、膜厚方向に組成分布を有していてもよい。

### 【0130】

層間絶縁膜1305は、少なくとも一層以上の絶縁膜で、層間絶縁膜1302

と同一材料か、もしくは比誘電率が層間絶縁膜1304よりも大きいことが特徴である。例えば、比誘電率は2.5～3.0を有する、HSQ（ハイドロゲンシリセスキオキサン（Hydrogen Silsesquioxane））膜（例えば、Type12TM）、MSQ（メチルシリセスキオキサン（Methyl Silsesquioxane））膜（例えば、JSR-LKDTM、ALCAPTM、IPSTM、HOSPTM）、BCB（ジビニルシロキサンビスベンゾシクロブテン）膜、有機ポリマー膜（SiLKTM、FlareTM）、もしくはSiOCH、SiOC（例えば、Black DiamondTM、CORALTM、AuroraTM、OrionTMなど）などである。もしくは塗化シリコン、炭化シリコン、あるいはそれらの化合物、あるいはそれらの化合物に炭素、水素を含有する有機化合物、あるいはそれらを積層した化合物などが良い。場合によっては若干の酸素を含有しても良い。例えばSiN、SiC、SiCN、SiNH、SiCNHなどであり、それらの積層構造の組み合わせとしては、SiN（上層）／SiC（下層）、SiN／SiCN、SiN／SiNH、SiN／SiCHN、SiC／SiN、SiC／SiCN、SiC／SiNH、SiC／SiCNH、SiNH／SiN、SiNH／SiC、SiNH／SiCNHなどがよい。

#### 【0131】

次いで、図13（B）に示すように、フォトレジストと反応性イオンエッチャングを用いて、層間絶縁膜内にダマシン配線溝1306を形成する。

#### 【0132】

次いで、図13（C）に示すように、全面に、つまり、層間絶縁膜1302の上面、および配線溝1306の側面および絶縁性バリア膜1303の上面に絶縁性バリア膜1307を形成する。

#### 【0133】

この時、絶縁性バリア膜1307は、少なくとも一層以上の塗化シリコン、炭化シリコン、あるいはそれらの化合物、あるいはそれらの化合物に水素を含有する化合物、あるいはそれらを積層した化合物などであり、場合によっては若干の酸素を含有しても良い。絶縁性バリア膜2307は、例えば、SiN、Si

C、SiCN、SiNH、SiCNH、BCB（ベンゾシクロブテン）などであり、それらの積層構造の組み合わせとしては、SiN（上層）／SiC（下層）、SiN/SiCN、SiN/SiNH、SiN/SiCHN、SiC/SiN、SiC/SiCN、SiC/SiNH、SiC/SiCNH、SiNH/SiN、SiNH/SiC、SiNH/SiCNHなどがよい。

#### 【0134】

尚、ここで示した化学式は必ずしも化学組成比を反映しているわけではない。堆積する厚さは0.1～100nm程度が良く、好ましくは微細な配線溝に対して極端に溝幅を狭めることのない、1～20nm程度が良い。

#### 【0135】

次いで、図13（D）に示すように、絶縁性バリア膜1307をエッチバックし、続いて、配線溝底部の絶縁性バリア膜1303をエッチバックする。この時、配線溝側壁に形成された絶縁性バリア膜1307は除去されずに残る。この時多孔質層間絶縁膜1304の側壁はバリア絶縁膜1307によって覆われているため、エッティング時に飛散したCuが多孔質層間絶縁膜1304内部に進入する不良を発生することはない。

#### 【0136】

次いで、図14（A）に示すように、形成された配線溝にCu膜を埋め込んだ後、バリアメタル1308膜に覆われたCu配線1309をCMPによって形成する。この時、Cuの埋め込み方法は、PVD法、ionized-PVD法、CVD法、プラズマCVD法などを用いることができる。また、これらいずれを用いても良く、いずれを組み合わせても良く、Cuの成膜方法は本発明を限定するものではない。

#### 【0137】

また、Cu配線1309は、Cuを主成分とする金属からなる。必要に応じて例えば、Ti、Sn、Zn、Siなどの異種金属を含有することや、Ta、Ti、W、Siおよびその窒素化物、あるいはその積層膜（図示略）などを挿入しても良い。バリアメタル1308は、Ta、Ti、W、Siおよびその窒素化物、あるいはその積層膜（図示略）などからなる。配線溝側壁は、バリア絶縁膜13

08によって保護されているため、PVD法、ionized-PVD法、CVD法、プラズマCVD法、熱CVD法、ALD法(Atomic Layer Deposition)など、いずれの方法によって成膜することもできる。また、複数の成膜方法を組み合わせることも可能である。また、CMPによって研磨された面には、上部の層間絶縁膜1302がすべて削り取られ、層間絶縁膜1305が露出する状態となる。

#### 【0138】

次いで、図14(B)に示すように、形成されたCu配線上に、バリア絶縁膜1303、ピア層間絶縁膜1301、層間絶縁膜1302を形成する。

#### 【0139】

次いで、図14(C)に示すように、フォトレジストと反応性イオンエッティングを用いて、層間絶縁膜内にピアスルーホールを形成し、その内部にバリアメタル膜1308、Cu膜1309からなるCuプラグを形成する。

#### 【0140】

次いで、図15(A)に示すように、Cuプラグ上にバリア絶縁膜1303、層間絶縁膜1304、層間絶縁膜1305、層間絶縁膜1302を積層して形成する。

#### 【0141】

上記の配線形成工程を繰り返すことで、図15(B)に示すような多層配線を形成する。このようにして少なくとも1単位配線構造以上の金属配線が、塗化シリコン、あるいは炭化シリコン、あるいはそれらに有機物を含む絶縁膜によって外周を覆われている配線構造を形成することができる。

#### 【0142】

次に、本発明の第3の実施形態の配線構造に係る本発明の実施例の配線構造の変形について説明する。

#### 【0143】

まず、「多孔質シングルダマシン構造に側壁塞ぎ膜を備えた配線構造の第1の変形」である本発明の第11の実施例の配線構造について説明する。

#### 【0144】

図16（A）に示す本発明の第11の実施例は、図15（B）に示す実施形態3の構成から、シリコン酸化膜、シリコン炭化膜、シリコン塗化膜、シリコン炭塗化膜などを含む層間絶縁膜（1302）を除いた構成で、それ以外の構成は、実施形態3と同一で同じ構成要素には、同一参照符合を付してある。その構成を図16（A）に示し、詳細な説明は、実施形態3とほぼ同一なので省略する。

#### 【0145】

次に、「多孔質シングルダマシン構造に側壁塞ぎ膜を備えた配線構造の第2の変形」である本発明の第12の実施例の配線構造について説明する。

#### 【0146】

図16（B）に示す本発明の第12の実施例は、図16（A）に示す実施例11の構成に、さらに、層間絶縁膜1302の上に層間絶縁膜1305を追加し、ピアスルーホールを形成した領域の外周の層間絶縁膜内の層間絶縁膜1301の代わりに、層間絶縁膜1302で構成し、それ以外の構成は、実施例11と同一で同じ構成には、同一参照符合を付してある。その構成を図16（B）に示し、詳細な説明は、実施例11とほぼ同一なので省略する。

#### 【0147】

次に、「多孔質シングルダマシン構造に側壁塞ぎ膜を備えた配線構造の第3の変形」である本発明の第13の実施例の配線構造について説明する。

#### 【0148】

図16（C）に示す本発明の第13の実施例は、図16（A）に示す実施例11の構成から、少なくとも一層以上の絶縁膜で、比誘電率が層間絶縁膜（1304）よりも大きい層間絶縁膜（1305）を除いた構成で、それ以外の構成は、実施例11と同一で同じ構成要素には、同一参照符合を付してある。その構成を図16（C）に示し、詳細な説明は、実施例11とほぼ同一なので省略する。

#### 【0149】

次に、「多孔質シングルダマシン構造に側壁塞ぎ膜を備えた配線構造の第4の変形」である本発明の第14の実施例の配線構造について説明する。

#### 【0150】

図16（D）に示す本発明の第14の実施例は、図16（B）に示す実施例11

2の構成の層間絶縁膜1302の代わりに、層間絶縁膜1304で構成し、さらに、層間絶縁膜1302の代わりに、層間絶縁膜1304で構成し、層間絶縁膜1304の上に層間絶縁膜1305を追加し、ピアスルーホールを形成した領域の外周のバリアメタル膜1308の外周に層間絶縁膜1307を構成し、それ以外の構成は、実施例12と同一で同じ構成には、同一参照符合を付してある。その構成を図16（D）に示し、詳細な説明は、実施例12とほぼ同一なので省略する。

#### 【0151】

次に、「多孔質シングルダマシン構造に側壁塞ぎ膜を備えた配線構造の第5の変形」である本発明の第15の実施例の配線構造について説明する。

#### 【0152】

図16（E）に示す本発明の第15の実施例は、図16（B）に示す実施例12の構成の層間絶縁膜1302の代わりに、別の層間絶縁膜1302で構成し、さらに、層間絶縁膜（1305）を削除した構成で、それ以外の構成は、実施例12と同一で同じ構成には、同一参照符合を付してある。その構成を図16（E）に示し、詳細な説明は、実施例12とほぼ同一なので省略する。

#### 【0153】

次に、「多孔質シングルダマシン構造に側壁塞ぎ膜を備えた配線構造の第6の変形」である本発明の第16の実施例の配線構造について説明する。

#### 【0154】

図16（F）に示す本発明の第16の実施例は、図16（D）に示す実施例14の構成から、層間絶縁膜（1305）を削除した構成で、それ以外の構成は、実施例14と同一で同じ構成には、同一参照符合を付してある。その構成を図16（F）に示し、詳細な説明は、実施例14とほぼ同一なので省略する。

#### 【0155】

このようにして形成した半導体装置について、配線間リーク電流を測定したところ、本実施例に示した半導体装置はリーク電流が観察されることはなかった。

#### 【0156】

次に、本発明の第4の実施の形態の配線構造について、図17を参照して説明する。ここで、図17は、デュアルダマシン配線構造の製造工程順の断面図である。

### 【0157】

まず図17（A）に示されているように、本発明の第4の実施の形態の配線構造では、半導体素子が形成された基板上（図示略）に、絶縁膜1701を形成する。さらに、絶縁膜1701の上に、第1の層間絶縁膜（エッティングストッパー膜）1702、第2の層間絶縁膜（低誘電率膜）1703、第3の層間絶縁膜（CMPストッパー膜）1704からなる絶縁膜を積層する。

### 【0158】

ここで、第1の層間絶縁膜（エッティングストッパー膜）1702は、BCB、SiC、SiN、SiCN、SiOC、SiO<sub>2</sub>、もしくはそれらに有機物を含んだ絶縁薄膜がよい。第2の層間絶縁膜（低誘電率膜）1703は、例えばHSQ（ハイドロゲンシルセスキオキサン（Hydrogen Silsesquioxane））膜、MSQ（メチルシルセスキオキサン（Methyl Silsesquioxane））膜、BCB（ジビニルシロキサンビスベンゾシクロブテン）膜、ブラックダイアモンド（Black Diamond TM）、オーロラ（Aurora TM）、有機ポリマー、芳香族を含む有機ポリマー膜、あるいはそれらを多孔質にした膜などがよい。第3の層間絶縁膜（CMPストッパー膜）1704は、SiCN、SiN、SiC、SiCNH、SiCH、SiNH、SiOCH、BCB、あるいは有機膜、シリコン含有有機膜など用いるのが良い。

### 【0159】

続いて、図17（B）に示されているように、フォトレジストと反応性イオンエッティングを用いて微細加工を行い、ダマシン溝1705を形成する。

### 【0160】

続いて、図17（C）に示すように、バリア膜1706とCu膜1707を上記ダマシン配線溝1705へ埋めこむ。この時Cuの埋め込み方法は、PVD法、ionized-PVD法、CVD法、プラズマCVD法、電界めっき法、無

電界めっき法などであり、これらいづれを用いても良く、いづれを組み合わせても良く、Cuの成膜方法は本発明を限定するものではない。

#### 【0161】

続いて、図17(D)に示すように、余剰なCu膜1707とバリア膜1706との除去を、例えばCMP法による研磨により行う。配線を構成する導電材料は、Cu、Ag、Al、Ni、Co、W、Si、Ti、Taおよびこれらの化合物などがよい。

#### 【0162】

この時、第3の層間絶縁膜は余剰Cu膜除去時の保護膜として作用し、第2の層間膜が露出し、ダメージを受けることを防ぐが、第3の層間絶縁膜表面には研磨によるダメージ層1708（おそらくはCMPにより発生した非共有電子対やトラップ、欠陥など）が形成される。

#### 【0163】

続いて、図17(E)に示すように、第4の層間絶縁膜(Cu上面保護膜)1709を形成し、ダマシンCu配線を得ることができる。この時、第4の層間絶縁膜(Cu上面保護膜)1709は、第3の層間絶縁膜1704と同一の材料であることが必要であり、第3の層間絶縁膜1704に応じてSiCN、SiN、SiC、SiCNH、SiCH、SiNH、SiOCH、BCB、あるいは有機膜、シリコン含有有機膜など用いるのが良い。

#### 【0164】

ここで、本願発明に特徴的なのは、前述の第3の層間絶縁膜表面の研磨ダメージ層（おそらくはCMPにより発生した非共有電子対やトラップ、欠陥など）を、第3の層間絶縁膜(CMPストッパー膜)1703と、第4の層間絶縁膜(Cu上面保護膜)1709とを同一の材料とすることで、修復、低減、あるいは消失させ、配線間の絶縁信頼性を向上させることである。

#### 【0165】

本発明により、低誘電率の絶縁材料を用いたダマシン配線構造において、微細構造、低い配線間容量、高い絶縁信頼性を有する多層配線構造の製造が容易になる。

**【0166】**

次に、本発明の第4の実施の形態の配線構造の実施例について、図面を参照して説明する。

**【0167】**

まず、本発明の実施例17について説明する。

(実施例17) シングルダマシン配線 SiCN

図18(A)に示すように、半導体素子が形成された基板上(図示略)に、半導体素子が形成された基板上(図示略)に、絶縁膜1801が形成されており、その上に50nmの第1の層間絶縁膜1802、200nmの第2の層間絶縁膜1803、100nmの第3の層間絶縁膜1804が積層されている。

この時、第1の層間絶縁膜(エッティングストッパー膜)1802は、CVD法で形成した比誘電率2.7のBCB膜である。第2の層間絶縁膜(低誘電率膜)1803は、CVD法で形成した比誘電率2.4のオーロラ(Aurora TM)膜である。第3の層間絶縁膜(CMPストッパー膜)1804は、CVD法で形成した、SiCNである。尚、ここで示した化学式は必ずしも化学組成比を反映しているわけではない。またこれらの膜を積層する際には、大気開放せずに連続成膜にて行い、各層の成膜前にHeガスを用いたプラズマ処理を行っている。

**【0168】**

次いで、図18(B)に示すようにフォトレジストと反応性イオンエッチングを用いて層間絶縁膜内にデュアルダマシン配線溝1805を形成する。

**【0169】**

次いで、図18(C)に示すように、全面、つまりSiCN膜1804の上面、および配線溝1805の側面および底面に厚さ30nmのTa/TaN積層バリアメタル膜1806を形成し、続いて配線溝にCu膜1807を埋め込む。この時Cuの埋め込み方法は、PVD法により形成した100nmのCu膜をシード層として、電解めっき法により、Cu膜を埋め込んだ。

**【0170】**

次いで、図18(D)に示すように、余剰なCu膜1807および、バリア膜1806を、CMP法によって除去する。このとき、第3の層間絶縁膜(SiC

N膜) 1804は余剰Cu膜除去時の保護膜として作用し、第2の層間膜(Aurora TM) 1803が露出し、ダメージを受けることを防ぐが、第3の層間絶縁膜(SiCN)表面には研磨によるダメージ層1808(おそらくはCMPにより発生した非共有電子対やトラップ、欠陥など)が形成される。

#### 【0171】

次いで図18(E)に示すように、続いて、SiCNから成る、第4の層間絶縁膜(Cu上面保護膜)1808を50nm形成し、ダマシンCu配線を得る。この時、第4の層間絶縁膜1809と、第3の層間絶縁膜1803と同一の材料のSiCNから形成されているため、ダメージ層1808を修復、低減、あるいは消失させ、配線間の絶縁信頼性を向上させることができる。

#### 【0172】

以上の工程をピア形成にも適用し、必要層数繰り返すことで、半導体素子上に多層配線を形成することができる。

#### 【0173】

次に、本発明の実施例18について説明する。

##### (実施例18) シングルダマシン配線 BCB

図19(A)に示すように、半導体素子が形成された基板上(図示略)に、絶縁膜1901が形成されており、その上に50nmの第1の層間絶縁膜1902、200nmの第2の層間絶縁膜1903、50nmの第3の層間絶縁膜1904、50nmの第4の層間絶縁膜1905が積層されている。

この時、第1の層間絶縁膜(エッチングストッパー膜)1902と第3の層間絶縁膜(CMPストッパー膜)1904は、CVD法で形成した比誘電率2.7のBCB膜である。第2の層間絶縁膜(低誘電率膜)1903は、CVD法で形成した比誘電率2.4のオーロラ(Aurora TM)膜である。第4の層間絶縁膜1905はCVD法で形成した比誘電率4.2のシリコン酸化膜である。またこれらの膜を積層する際には、大気開放せずに連続成膜にて行い、各層の成膜前にHeガスを用いたプラズマ処理を行っている。

#### 【0174】

次いで、図19(B)に示すように、フォトレジストと反応性イオンエッキン

グを用いて層間絶縁膜内にダマシン配線溝1906を形成する。この時、ミスアライメントが発生した際に、積層膜の最表面は第4の層間絶縁膜（シリコン酸化膜1905）によって覆われているため、O<sub>2</sub>プラズマを用いて容易にフォトレストを剥離して、再度パターニング作業を行うことができる。

次いで、図19（C）に示すように、全面、つまりシリコン酸化膜1905の上面、および配線溝1906の側面および底面に厚さ30nmのTa/TaN積層バリアメタル膜1907を形成し、配線溝にCu膜1908を埋め込む。この時Cuの埋め込み方法は、PVD法により形成した100nmのCu膜をシード層として、電解めっき法により、Cu膜を埋め込んだ。

#### 【0175】

次いで、図19（D）に示すように、余剰なCu膜1908および、バリア膜1907を、CMP法によって除去する。このとき、第4の層間絶縁膜1905は完全に除去され、第3の層間絶縁膜（BCB膜）は、余剰Cu膜除去時の保護膜として作用し、第2の層間膜（Aurora TM）が露出し、ダメージを受けることを防ぐ。しかし、第3の層間絶縁膜（BCB）表面には研磨によるダメージ層1909（おそらくはCMPにより発生した非共有電子対やトラップ、欠陥など）が形成される。

#### 【0176】

次いで図19（E）に示すように続いて、BCBから成る、第4の層間絶縁膜（Cu上面保護膜）1910を50nm形成し、ダマシンCu配線を得る。この時、第4の層間絶縁膜1910と、第3の層間絶縁膜1904と同一の材料であるBCBから形成されているため、ダメージ層1909を修復、低減、あるいは消失させ、配線間の実効配線容量の低減と同時に、配線間の絶縁信頼性を向上させることができる。

#### 【0177】

次に、本発明の実施例19について説明する。

（実施例19） シングルダマシン配線 バリアフリー/SiCN

図20（A）に示すように、半導体素子が形成された基板上（図示略）に、絶縁膜2001が形成されており、その上に50nmの第1の層間絶縁膜2002

、200 nmの第2の層間絶縁膜2003、100 nmの第3の層間絶縁膜2004、第4の層間絶縁膜2005が積層されている。

この時、第1の層間絶縁膜（エッチングストッパー膜）2002は、CVD法で形成したSiCN膜である。第2の層間絶縁膜（低誘電率膜）2003は、CVD法（詳しくはプラズマ重合法）で形成した比誘電率2.7の（BCB）膜である。第3の層間絶縁膜（CMPストッパー膜）2004は、CVD法で形成した、SiCNである。尚、ここで示した化学式は必ずしも化学組成比を反映しているわけではない。またこれらの膜を積層する際には、大気開放せずに連続成膜にて行い、各層の成膜前にHeガスを用いたプラズマ処理を行っている。

次いで、図20（B）に示すように、フォトレジストと反応性イオンエッチングを用いて層間絶縁膜内にダマシン配線溝2006を形成する。この時溝側壁には反応性イオンエッチング条件を適切に選択することで、Cu熱拡散バリア耐性に優れる、フルオリネーテッド窒化炭化層2007が形成することが、例えば、IEDM2002プロシーディングp599大竹らなどの報告（非特許文献1）により、公知技術として知られている。

#### 【0178】

次いで、図20（C）に示すように、全面、つまりSiCN膜2004の上面、および配線溝2005の側面および底面にCu膜2011を埋め込む。この時Cuの埋め込み方法は、PVD法により形成した100 nmのCu膜をシード層として、MOCVD法により、Cu膜を埋め込んだ。

#### 【0179】

次いで、図20（D）に示すように、余剰なCu膜2011を、CMP法によって除去する。このとき、第3の層間絶縁膜（SiCN膜）2004は余剰Cu膜除去時の保護膜として作用し、第2の層間膜（Aurora TM）2003が露出することを防ぐが、第3の層間絶縁膜（SiCN）404の表面には研磨によるダメージ層2008が形成される。

#### 【0180】

次いで、図20（E）に示すように、続いて、SiCNから成る、第4の層間絶縁膜（Cu上面保護膜）2009を50 nm形成し、ダマシンCu配線を得る

。この時、第4の層間絶縁膜2009と、第3の層間絶縁膜2004と同一の材料のSiCNから形成されているため、ダメージ層2008を修復、低減、あるいは消失させ、配線間の絶縁信頼性を向上させることができる。さらに実施例17および実施例18と比較した場合には、バリアメタル層を用いていないため、配線抵抗、ピア抵抗を低減し、ひいてはCu配線のエレクトロマイグレーション耐性、ストレスマイグレーション耐性を向上させることができる。

#### 【0181】

次に、本発明の実施例20について説明する。

(実施例20) シングルダマシン配線 バリアフリー／フルBCB

図21(A)に示すように、半導体素子が形成された基板上(図示略)に、絶縁膜2101が形成されており、その上に300nmの第1の層間絶縁膜2102、50nmの第2の層間絶縁膜2102、が積層されている。

#### 【0182】

この時、絶縁膜2101および、第1の層間絶縁膜2102は、CVD法で形成した比誘電率2.7のBCB膜である。第2の層間絶縁膜(低誘電率膜)503は、CVD法で形成したSiCN膜である。これらの膜を積層する際には、大気開放せずに連続成膜にて行い、各層の成膜前にHeガスを用いたプラズマ処理を行っている。

#### 【0183】

次いで、図21(B)に示すように、フォトレジストと反応性イオンエッチングを用いて層間絶縁膜内にデュアルダマシン配線溝2104を形成する。この時溝側壁には反応性イオンエッチング条件を適切に選択することで、フルオリネーテッド窒化炭化層2105が形成するのは実施例19に記載したのと同様である。

#### 【0184】

次いで、図21(C)に示すように、全面、つまりSiCN膜2103の上面、および配線溝2104の側面および底面にCu膜2106を埋め込む。この時Cuの埋め込み方法は、PVD法により形成した100nmのCu膜をシード層として、MOCVD法により、Cu膜を埋め込んだ。

### 【0185】

次いで、図21(D)に示すように、余剰なCu膜2106を、CMP法によって除去する。このとき、第3の層間絶縁膜(SiCN膜)2104は余剰Cu膜除去と同時に完全に除去され、第1の層間膜(BCB)2102が露出し、第2の層間絶縁膜(BCB膜)表面には研磨によるダメージ層2107が形成される。

### 【0186】

次いで、図21(E)に示すように、続いて、BCBから成る、第3の層間絶縁膜(Cu上面保護膜)2108を50nm形成し、層間膜がBCBのみから形成されるダマシンCu配線を得る。この時、第3の層間絶縁膜2104と、第4の層間絶縁膜2108と同一の材料であるBCBから形成されているため、ダメージ層2106を修復、低減、あるいは消失させ、配線間の絶縁信頼性を向上させることができる。さらに層間絶縁膜がBCB膜のみから形成されているため、良好な密着性を有し、ひいては高い配線信頼性を得ることができる。

### 【0187】

次に、本発明の実施例21について説明する。

#### (実施例21) デュアルダマシン配線 SiCN

実施例17から実施例20には、シングルダマシンを例に示したが、これらは、いずれもデュアルダマシンプロセスへの展開が可能である。ここでは実施例17をデュアルダマシン配線に応用した例を説明する。

### 【0188】

図22(A)に示すように、半導体素子が形成された基板上(図示略)に、50nmの第1の層間絶縁膜(エッティングストッパー膜)2201、200nmの第2の層間絶縁膜(低誘電率膜)2202、100nmの第3の層間絶縁膜2203が積層されており、これらを貫通してCu配線2204がTa/TaN積層メタル膜2205に覆われて形成されている。Cu配線の上部には50nmの第4の層間絶縁膜(Cu上保護膜)2206、200nmの第5の層間絶縁膜(ビア層間膜)2207、50nmの第6の層間絶縁膜(エッティングストッパー膜)2208、200nmの第7の層間絶縁膜2209(低誘電率膜)、100nm

の第8の層間絶縁膜2210、50nmの第9の層間絶縁膜2211が積層して形成されている。

#### 【0189】

この時、第1の層間絶縁膜（エッチングストッパー膜）2201、第6の層間絶縁膜（エッチングストッパー膜）2208は、CVD法で形成した比誘電率2.7のBCB膜である。第2の層間絶縁膜（低誘電率膜）2202、第5の層間絶縁膜（ビア層間膜）2207、および第7の層間絶縁膜（低誘電率膜）はCVD法で形成した比誘電率2.4のオーロラ（Aurora TM）膜である。第3の層間絶縁膜2203、第4の層間絶縁膜2206、および第8の層間絶縁膜2210は、CVD法で形成したSiCNである。第9の層間絶縁膜2211はCVD法で形成したSO<sub>2</sub>膜である。尚、ここで示した化学式は必ずしも化学組成比を反映しているわけではない。またこれらの膜を積層する際には、大気開放せずに連続成膜にて行い、各層の成膜前にHeガスを用いたプラズマ処理を行っている。

#### 【0190】

次いで、図22（B）に示すように、フォトレジストと反応性イオンエッチングを用いて第9の層間絶縁膜内には配線溝パタン2212を形成する。

#### 【0191】

次いで、図22（C）に示すように、フォトレジストと反応性イオンエッチングを用いてデュアルダマシン溝パタン2213を形成する。

#### 【0192】

次いで、図22（D）に示すように、全面、つまりSi<sub>2</sub>膜2211の上面、およびデュアルダマシン溝2213の側面および底面に厚さ30nmのTa/TaN積層バリアメタル膜2214をPVD法により形成する。

#### 【0193】

次いで、図22（D）に示すように、バリア膜2214の堆積された、配線溝にCu膜2215を埋め込む。この時Cuの埋め込み方法は、PVD法により形成した100nmのCu膜をシード層として、電解めっき法により、Cu膜を埋め込む。

**【0194】**

次いで、図22（E）に示すように、余剰なCu膜2215および、バリア膜2214を、CMP法によって除去する。このとき、SiO<sub>2</sub>からなる第9の層間絶縁膜2211は、Cu-CMP時に完全に除去される。第8の層間絶縁膜2210（SiCN膜）は、余剰Cu膜除去時の保護膜として作用するが、その表面には研磨によるダメージ層2216（おそらくはCMPにより発生した非共有電子対やトラップ、欠陥など）が形成される。

**【0195】**

次いで、図22（F）に示すように、続いて、SiCNから成る、第10の層間絶縁膜（Cu上面保護膜）2217を50nm形成し、ダマシンCu配線を得る。この時、第9の層間絶縁膜2211と、第10の層間絶縁膜2217とが同一材料のSiCNから形成されているため、ダメージ層2216を修復、低減、あるいは消失させ、デュアルダマシン配線間の絶縁信頼性を向上させることができる。

以上の工程を、必要層数繰り返すことで、半導体素子上に多層配線を形成することができる。

**【0196】**

次に、本発明をより、理解するために、比較例を説明する。まず、比較例1について説明する。

**（比較例1）**

図10（A）に示すように、半導体素子が形成された基板上（図示略）のSiC膜1001上に、多孔質SiOCH膜1002、SiC膜1004、第1のCu配線1003、からなる下層Cu配線構造を形成した。

**【0197】**

第1のCu配線の上部には、SiC膜1005、SiOCH膜1006、SiC膜1007、多孔質SiC膜1008を積層した。

**【0198】**

次いで、図10（B）に示すように、フォトリソグラフィープロセスを用いて微細パタンを形成し、反応性イオンエッティングとアッシングプロセスを用いて、

ダマシン配線溝1009を形成した。

### 【0199】

次いで、図10（C）に示すように、PVD法を用いて全面にTa/TaNからなる積層バリアメタル膜1010を形成した。その上にPVD法によりCuシード層を形成し、次いで電界めっき法によりCu膜1011を堆積した。次いで余剰なバリアメタルおよびCuをCMPによって除去することで、多層配線構造を形成した。

### 【0200】

このようにして形成した多層配線の性能を計測したところ、バリアメタルの低カバレッジに起因してビア内部にCuを十分に埋め込むことができず、ビア抵抗の歩留まりが悪化することを確認した。

### 【0201】

次に、比較例2について説明する。

#### (比較例2)

図11（A）に示すように、半導体素子が形成された基板上（図示略）のSiC膜1101上に、多孔質SiOCH膜1102、バリアメタル膜1104、第1のCu配線1103、からなる下層Cu配線構造を形成した。さらに、絶縁性バリア膜1105、層間絶縁膜1106、バリア絶縁膜1107、層間絶縁膜1108を積層して形成した。

### 【0202】

次いで、図11（B）に示すように、フォトリソグラフィープロセスを用いて微細パタンを形成し、反応性イオンエッチングとアッシングプロセスを用いて、ダマシン配線溝1109を形成した。

### 【0203】

次いで、図11（C）に示すように、CVD法を用いて全面にTa/TaNからなる積層バリアメタル膜1010を形成した。この時、Ta/TaN層は気体原料を用いて成膜されるため、容易に多孔質膜内部に進入し、多孔質膜内部にバリアメタル層を形成してしまう。その上にPVD法によりCuシード層を形成し、次いで電界めっき法によりCu膜1111を堆積した。次いで、余剰なバリア

メタルおよびCuをCMPによって除去することで、多層配線構造を形成した。このようにして形成した多層配線の性能を計測したところ、バリアメタルの多孔質膜内部への進入に起因してリーク電流が認められた。

#### 【0204】

次に、比較例3について説明する。

##### (比較例3)

ビア底の拡散防止層を除去するプロセス上のタイミングについて、比較例を参照して説明する。

#### 【0205】

図12(A1)および図12(A2)に示すように、半導体素子が形成された基板上(図示略)のSiC膜1201上に、多孔質SiOCH膜1202、SiC膜1203、バリアメタル膜1205、第1のCu配線1204、からなる下層Cu配線構造を形成した。

#### 【0206】

第1のCu配線の上部には、SiC膜1206、SiOCH膜1207、SiC膜1208、多孔質SiC膜1209を積層し、バリア絶縁膜1210を積層して形成した。

#### 【0207】

次いで、フォトリソグラフィープロセスを用いて微細パターンを形成し、反応性イオンエッティングとアッシングプロセスを用いて、ダマシン配線溝1216を形成した。

#### 【0208】

この時、図12(A1)では、本発明での配線形成方法を示し、図12(A2)では、比較例として、SiC膜1207を予め除去する形成方法を示した。図12(A1)では、エッティング時にSiC膜1207がやや削られるのに対して、図12(A2)では、SiC膜1204が削られるのが特徴である。また、ビア底にCuが露出するためエッティング時に叩かれたCu1208が側壁に付着する。

#### 【0209】

次いで、図12（B1）、および図12（B2）に示すように、デュアルダマシン溝全面にSiC膜を成膜する。

#### 【0210】

次いで、図12（C1）、および図12（C2）に示すように、全面をエッチバックし、ビア底のSiC膜1206を除去する。この時、本発明においては図12（C1）に示すように、オーバーエッチング時には、膜1203がエッチングストッパーとして機能するために、突き抜けが発生しない。それに対して、比較例では、図12（C2）に示すように、オーバーエッチングに対するマージンが少なく、多孔質SiOCH膜1202内に突き抜け（1214）が発生する。

#### 【0211】

配線間リーク電流を測定したところ、本実施例に示した半導体装置はリーク電流が観察されず、比較用半導体装置ではリーク電流が認められた。

#### 【0212】

次に、比較例4について説明する。

##### （比較例4）

シングルダマシン配線 HMとCapが同一材料でない場合との実験値比較  
ここでは本発明との比較例として、同層配線間を分離する層間絶縁部の最上面を形成する材料と、異層配線間を分離する層間絶縁膜の最下面を形成する材料とが、同一の材料でない多層構造との比較を示す。配線の形成工程は実施例17に従った。

#### 【0213】

図23（A）に示すように、半導体素子が形成された基板上（図示略）に、絶縁膜2301が形成されており、その上に50nmの第1の層間絶縁膜（エッチングストッパー膜）2302、200nmの第2の層間絶縁膜（低誘電率膜）2303、100nmの第3の層間絶縁膜2304が積層されており、これらを貫通してCu配線2305が形成されている。Cu配線の上部には50nmの第4の層間絶縁膜（Cu上保護膜）2306が形成されている。

#### 【0214】

この時、第1の層間絶縁膜（エッチングストッパー膜）2302は、CVD法

で形成したSiCN膜である。第2の層間絶縁膜（低誘電率膜）2303は、CVD法で形成した比誘電率2.7のBCB膜である。第3の層間絶縁膜（CMPストッパー膜）2304は、CVD法で形成した、SiCNである。

### 【0215】

ここでは、第4の層間絶縁膜2306を代えることで構造間の比較を行った。同層配線間を分離する層間絶縁部の最上面を形成する材料と、異層配線間を分離する層間絶縁膜の最下面を形成する材料とが、同一の材料となる場合として、SiCN膜2306を用いた構造を図23（A）に、異なる場合としてSiC膜2307を用いた構造を図23（B）に、SiN膜2308を用いた場合を図23（C）に示した。尚、SiC膜およびSiN膜を用いた場合にはダメージ層2309が形成されている。

### 【0216】

これらの各配線構造の初期絶縁耐圧を比較した結果を図24に示す。SiCN膜を用いた場合には $4\text{MV}/\text{cm}$ と高いが、SiC膜およびSiN膜を用いた場合には $2\text{MV}/\text{cm}$ と低いことがわかる。図25に、配線間のTDDDB（time dependent dielectric breakdown）試験結果を示す。 $150^\circ\text{C}$ で、 $1.5\text{MV}/\text{cm}$ のストレスを $S=140\text{nm}$ の配線間に500時間印加したところ、SiC膜およびSiN膜を用いた場合には故障が発生したのに対して、SiCN膜を用いた場合には故障は発生しなかった。従つて、配線間を分離する層間絶縁部の最上面を形成する材料と、異層配線間を分離する層間絶縁膜の最下面を形成する材料とが、同一であることを特徴とする本発明の優位性を確認することができた。

### 【0217】

#### 【発明の効果】

以上説明したように、本発明によれば、このようなバリア絶縁膜構造を導入することで、多孔質膜を層間絶縁膜に用いた場合に、Cuが多孔質膜内部に飛散することを防ぎ、絶縁信頼性を向上させることができる。バリアメタルを用いずに多層Cu配線を形成することで、Cu/Cuダイレクトコンタクトを有する配線構造となり、配線信頼性を向上させることができる。

**【0218】**

したがって、多層配線間に多孔質膜を導入することで配線容量を低く保ちつつ、Cu/Cuダイレクトコンタクトによって接続抵抗を低く保ちつつ、配線間の絶縁体耐性を高く保ち、EMに対する高い耐性を保持できる。したがって、信頼性の高い多層配線を形成できるため、高集積回路となる半導体装置とその製造方法を提供することが可能である。

**【図面の簡単な説明】****【図1】**

本発明の第1の実施の形態による半導体装置の製造工程断面図である。

**【図2】**

本発明の第2の実施の形態による半導体装置の製造工程断面図である。

**【図3】**

本発明の第1の実施例による半導体装置の製造工程断面図である。

**【図4】**

本発明の第2の実施例による半導体装置の製造工程断面図である。

**【図5】**

本発明の第3の実施例による半導体装置の製造工程断面図である。

**【図6】**

本発明の第4の実施例による半導体装置の製造工程断面図である。

**【図7】**

本発明の半導体装置の構造断面図の例である。

**【図8】**

第1の従来の半導体装置の製造工程断面図である。

**【図9】**

第2の従来の半導体装置の製造工程断面図である。

**【図10】**

本発明との第1の比較例による半導体装置の製造工程断面図である。

**【図11】**

本発明との第2の比較例による半導体装置の製造工程断面図である。

**【図12】**

本発明との第3の比較例による半導体装置の製造工程断面図である。

**【図13】**

本発明の第3の実施の形態による半導体装置の製造工程断面図である。

**【図14】**

図13に続く、本発明の第3の実施の形態による半導体装置の製造工程断面図である。

**【図15】**

図14に続く、本発明の第3の実施の形態による半導体装置の製造工程断面図である。

**【図16】**

本発明の第11乃至第16の実施例による半導体装置の製造工程断面図である。  
。

**【図17】**

本発明の第4の実施の形態による半導体装置の製造工程断面図である。

**【図18】**

本発明の第17の実施例による半導体装置の製造工程断面図である。

**【図19】**

本発明の第18の実施例による半導体装置の製造工程断面図である。

**【図20】**

本発明の第19の実施例による半導体装置の製造工程断面図である。

**【図21】**

本発明の第20の実施例による半導体装置の製造工程断面図である。

**【図22】**

本発明の第21の実施例による半導体装置の製造工程断面図である。

**【図23】**

本発明の比較例4による半導体装置の製造工程断面図である。

**【図24】**

各配線構造の初期絶縁耐圧を比較した結果を示す図である。

【図25】

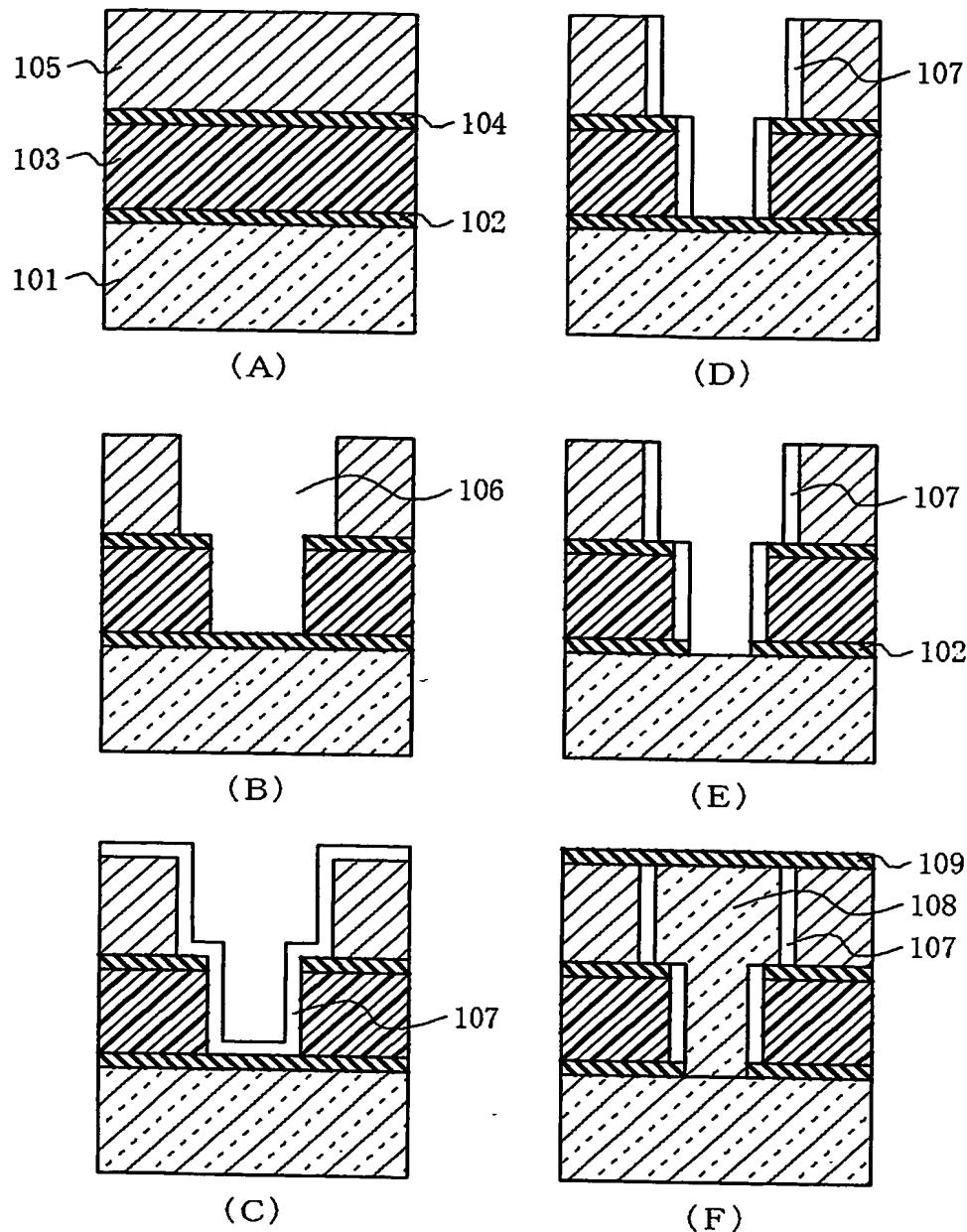
配線間のT D D B (time dependent dielectric breakdown) 試験結果を示す図である。

【符号の説明】

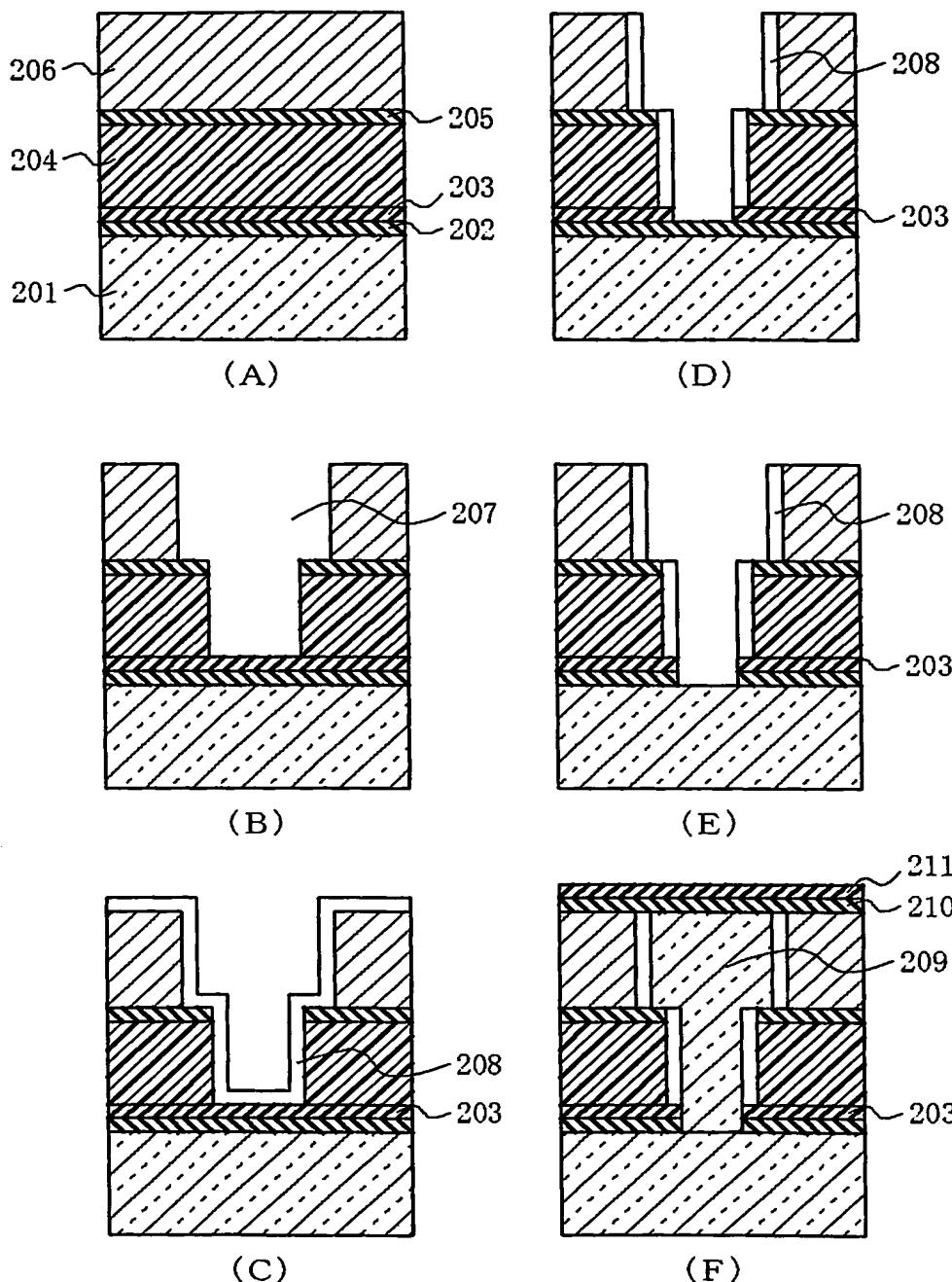
- 101, 201 第1のCu膜
- 102, 202 絶縁性バリア膜
- 103, 203 層間絶縁膜
- 104 絶縁性バリア膜
- 105 層間絶縁膜
- 106 デュアルダマシン配線溝
- 107 絶縁性バリア膜
- 108 第2のCu膜

【書類名】 図面

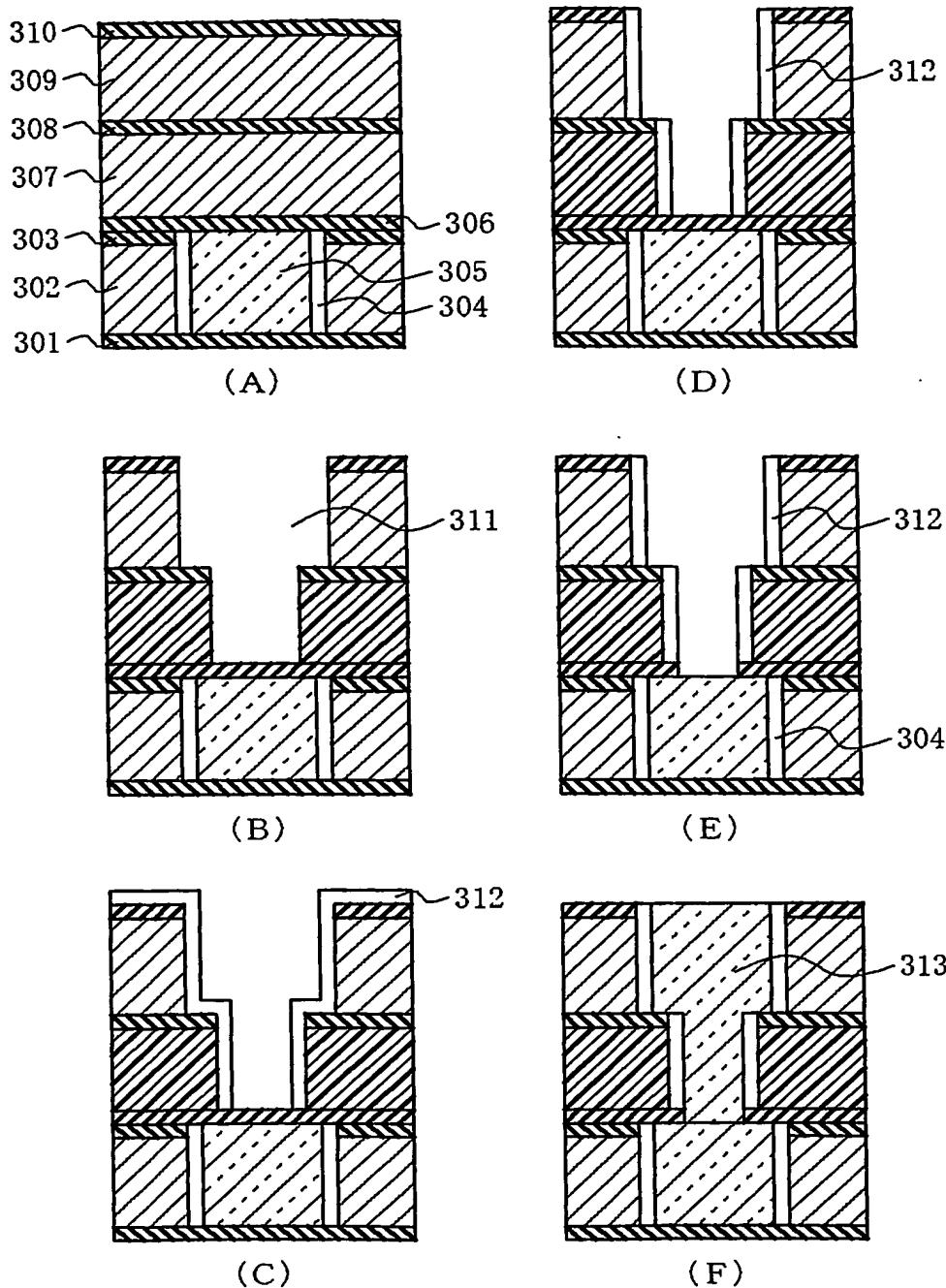
【図1】

[図1]実施の形態①  
デュアルダマシンの場合

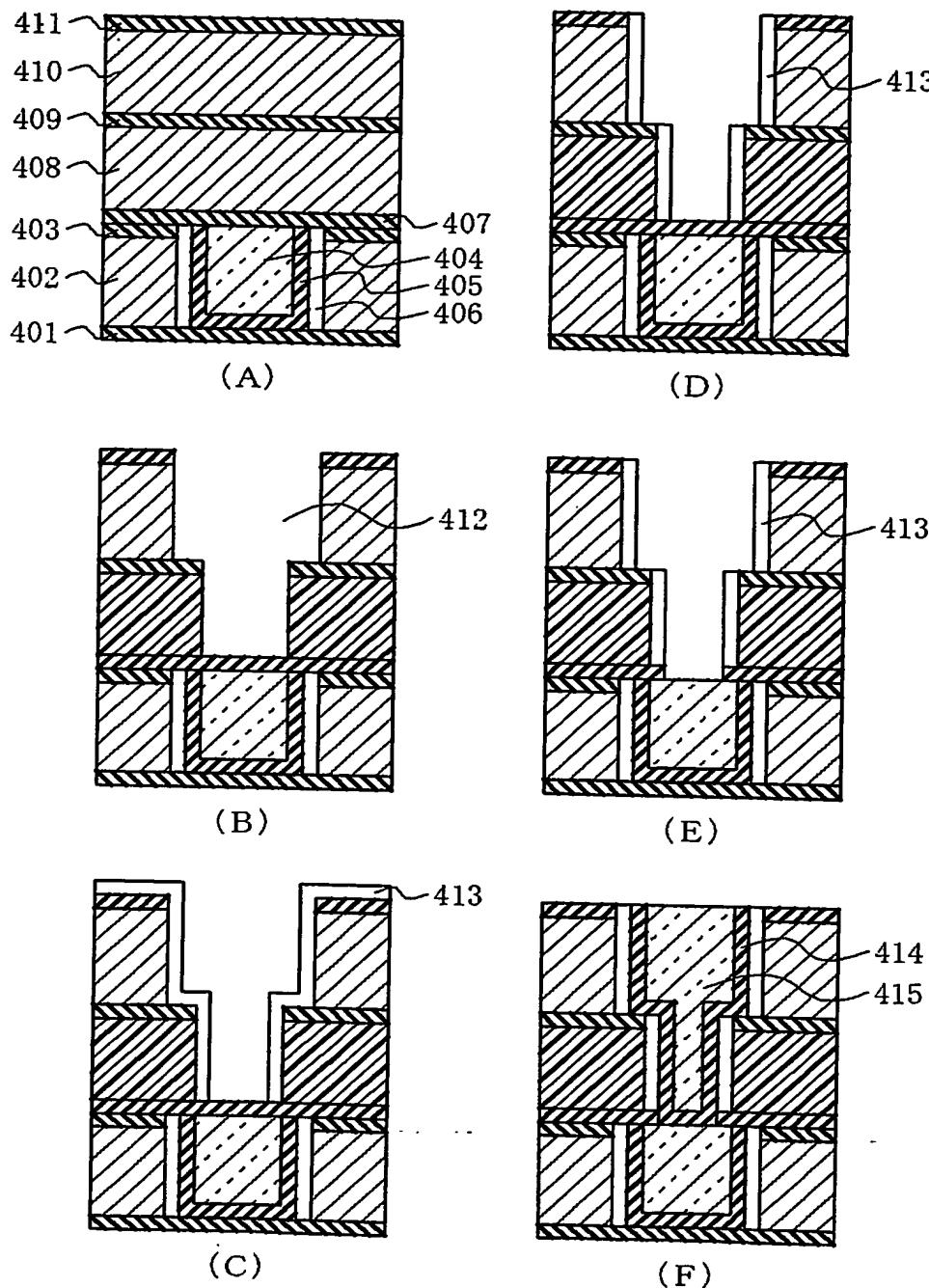
【図2】

[図2]実施の形態②  
酸化防止積層cap膜

【図3】

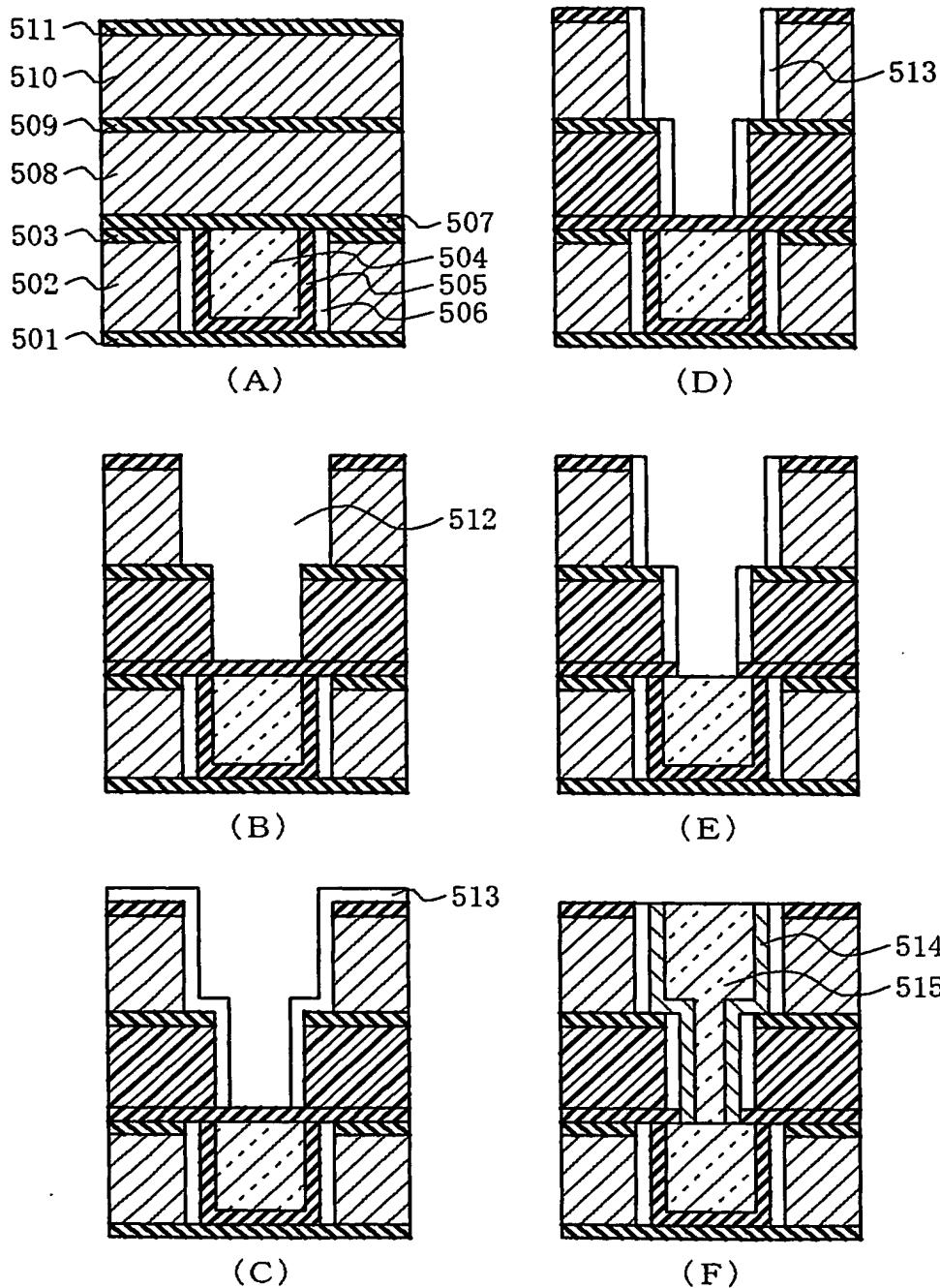
[図3]実施例①  
デュアルダマシン

【図4】



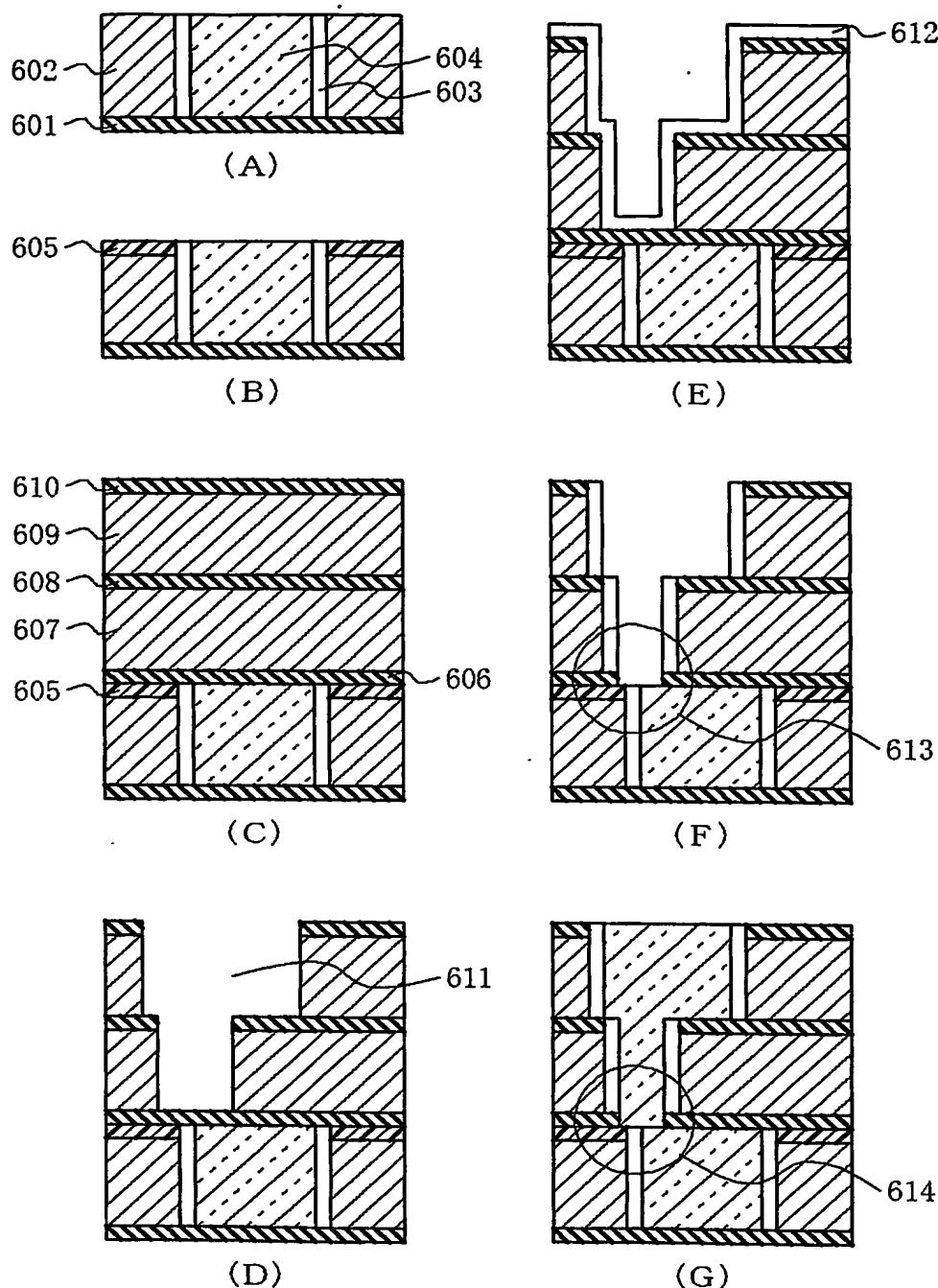
[図4]実施例②  
デュアルダマシン+バリアメタル有り

【図 5】



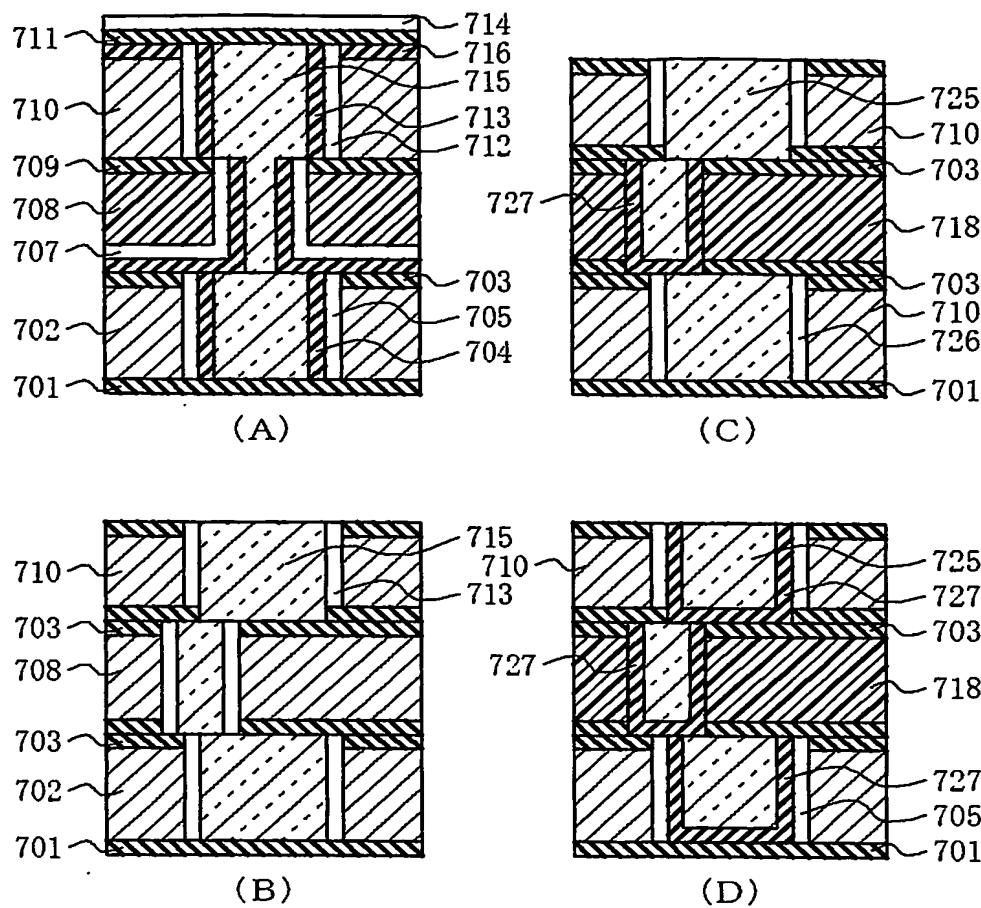
[図 5]実施例③  
デュアルダマシン+バリアメタル抜き

【図6】



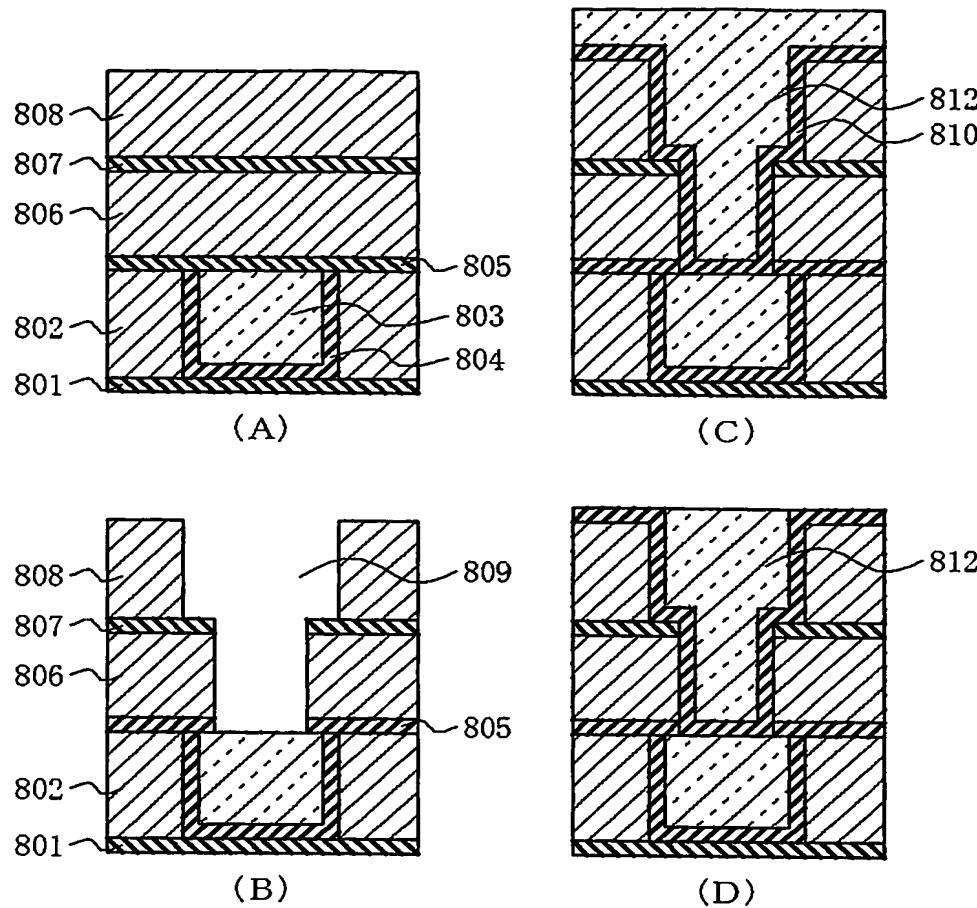
[図6]実施例④  
デュアルダマシン+表面プラズマ改質

【図7】



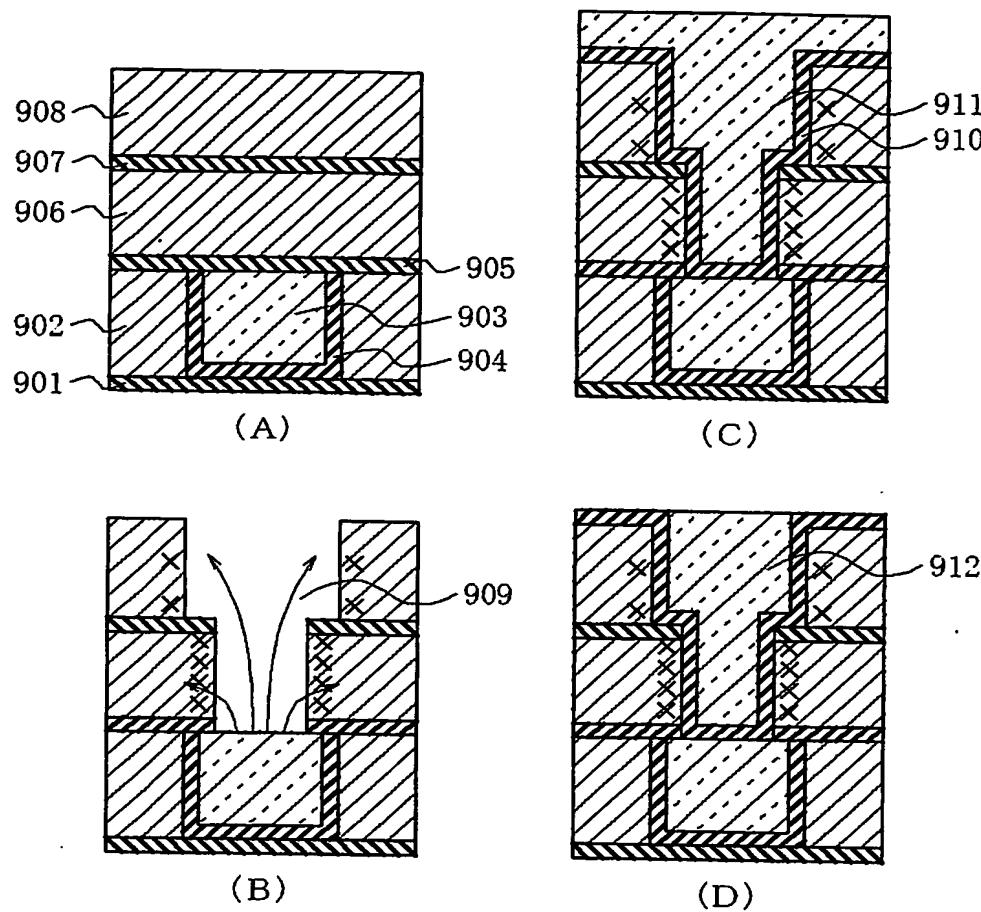
[図7]実施構造例

【図8】



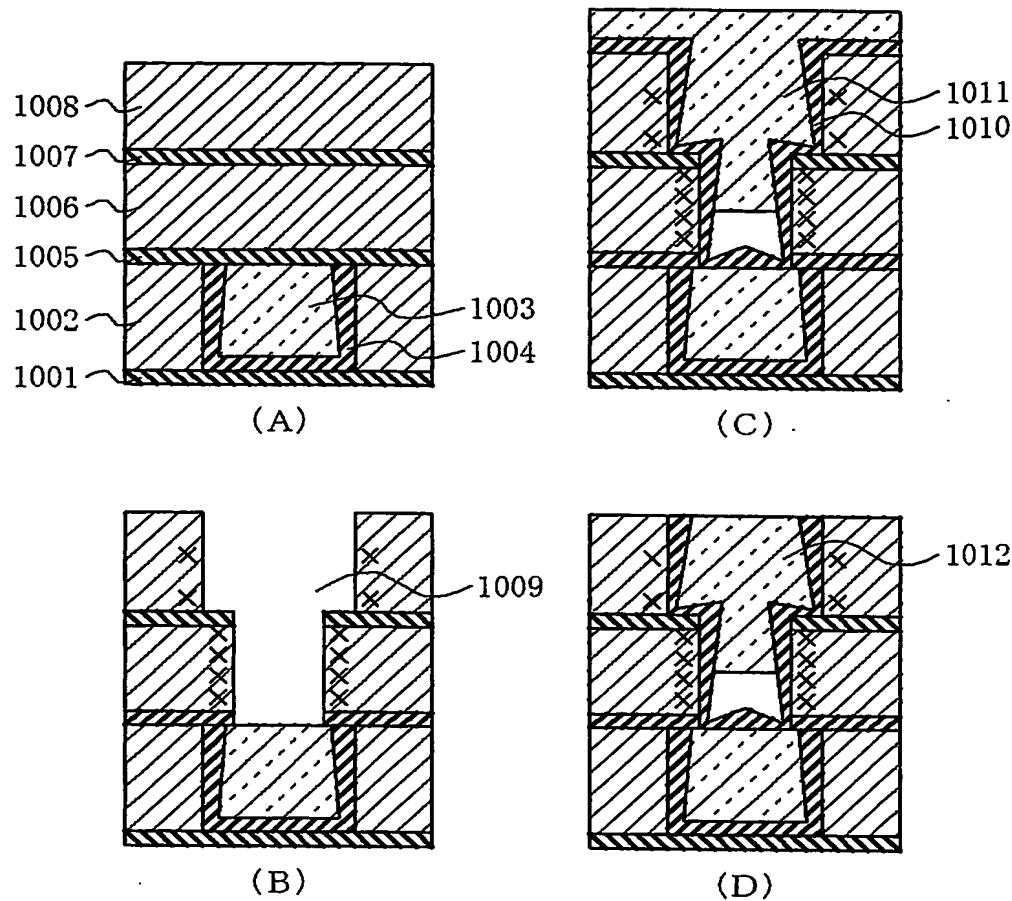
[図8]従来例①デュアルダマシン

【図9】



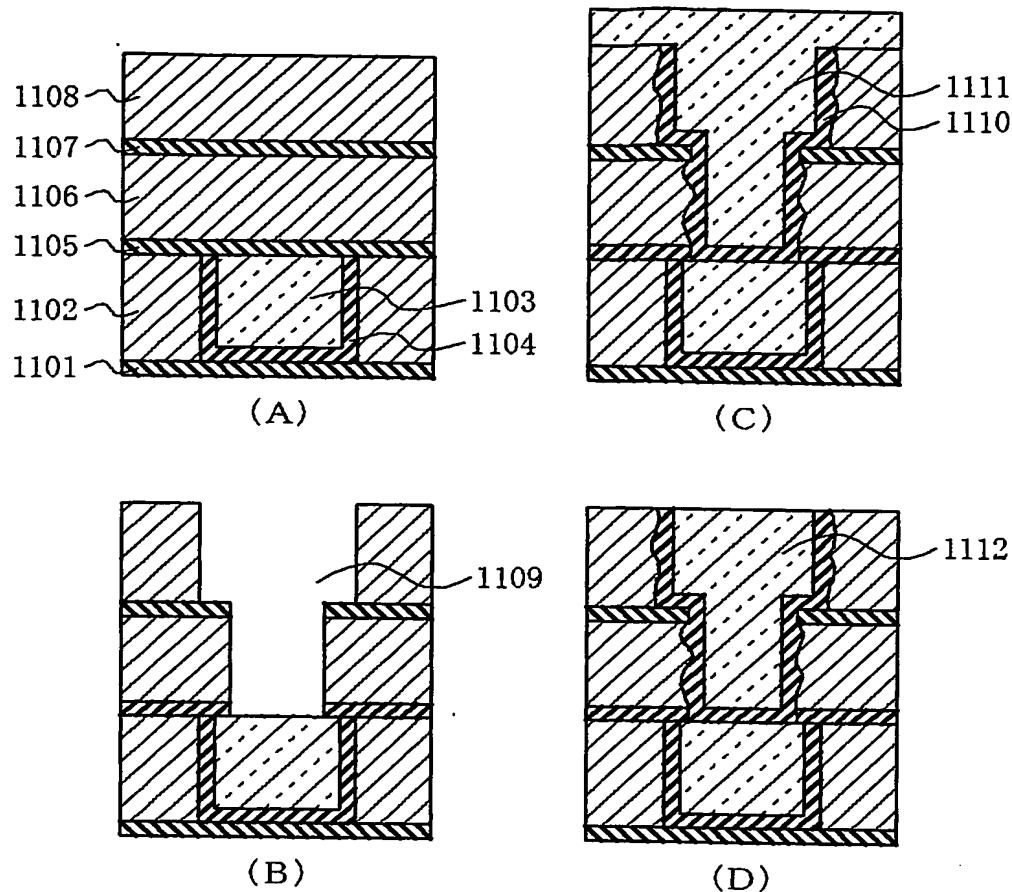
[図9]従来例②  
ポーラス膜の側壁にCuが飛散する例

【図10】

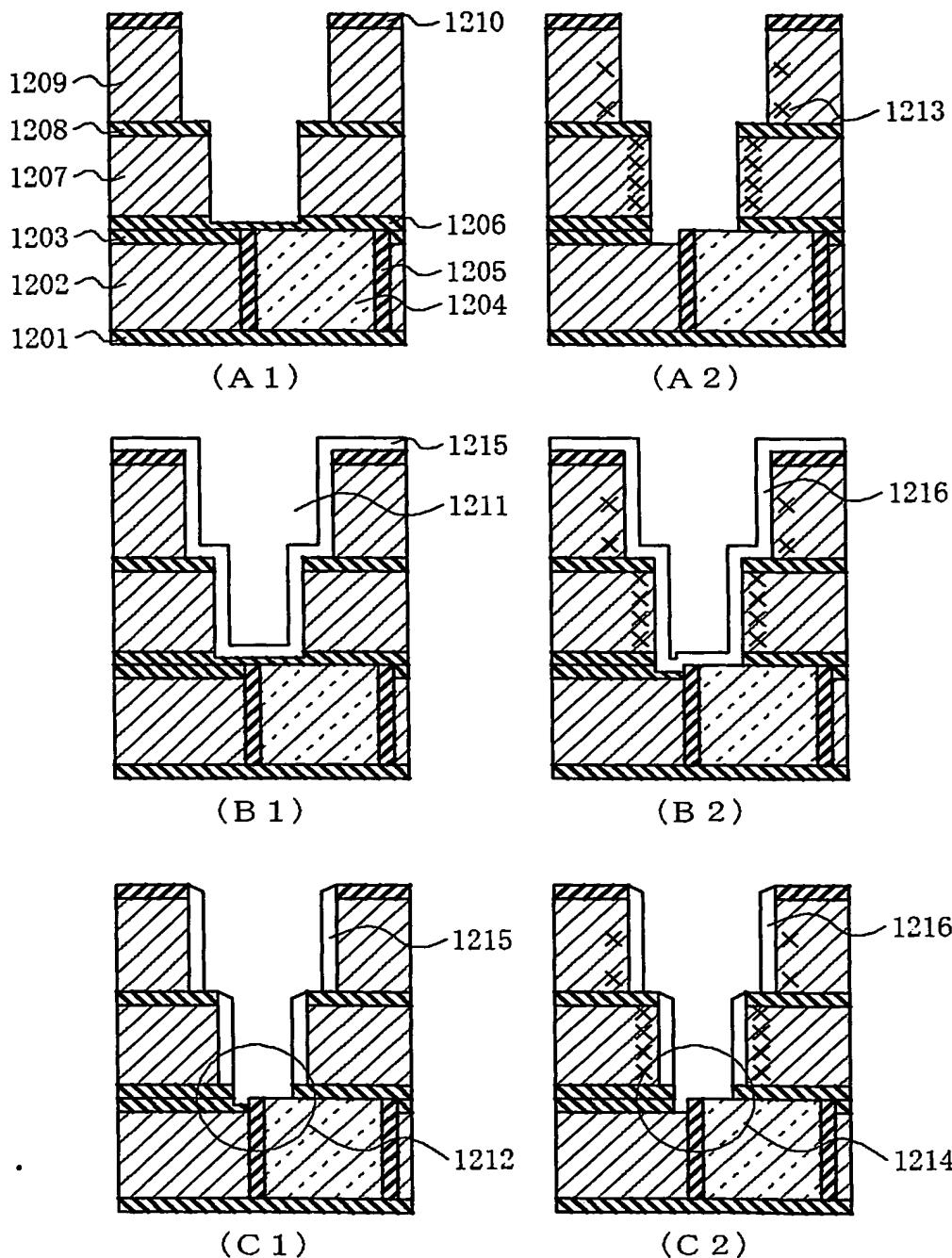


[図10]比較例①  
PVDバリアメタルを用いた場合

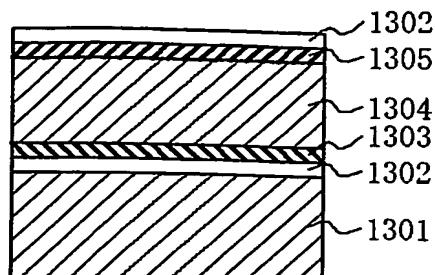
【図11】

[図11]比較例②  
CVDバリアメタルを用いた場合

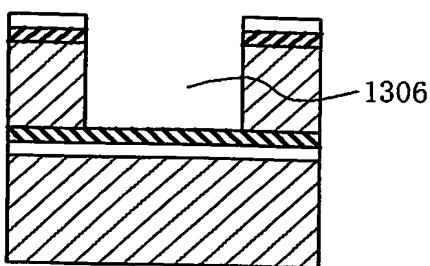
【図 12】

[図 12]比較例③  
エッチバック後成膜との比較

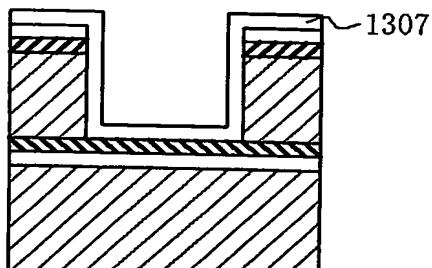
【図13】



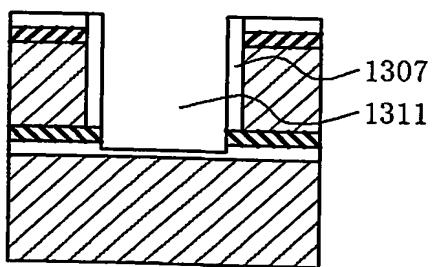
(A)



(B)



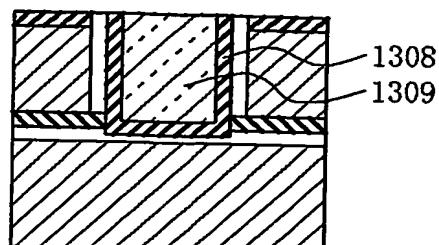
(C)



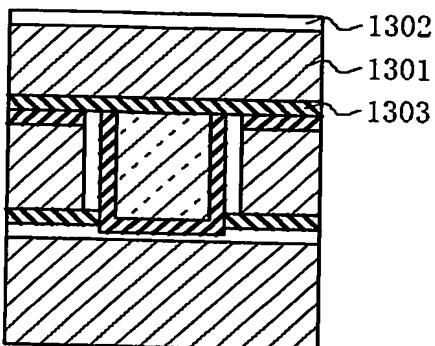
(D)

実施の形態③  
シングルダマシンの場合

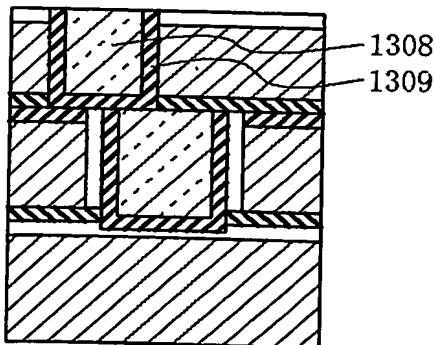
【図14】



(A)



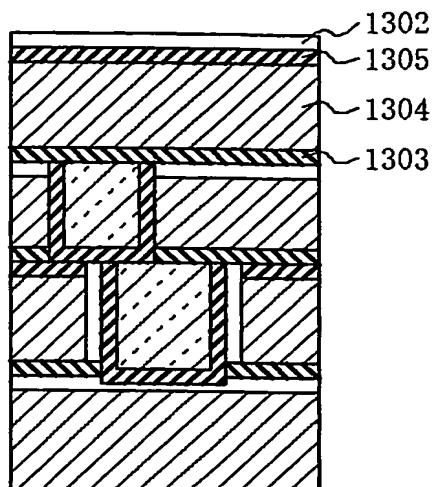
(B)



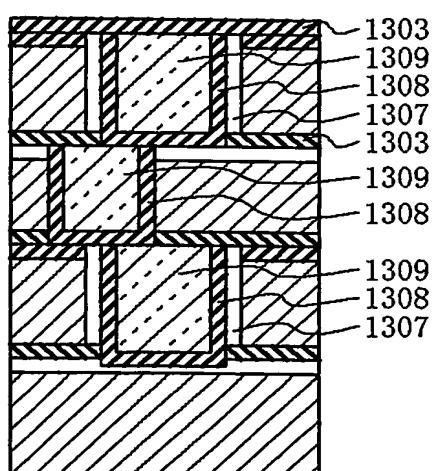
(C)

実施の形態③  
シングルダマシンの場合

【図15】



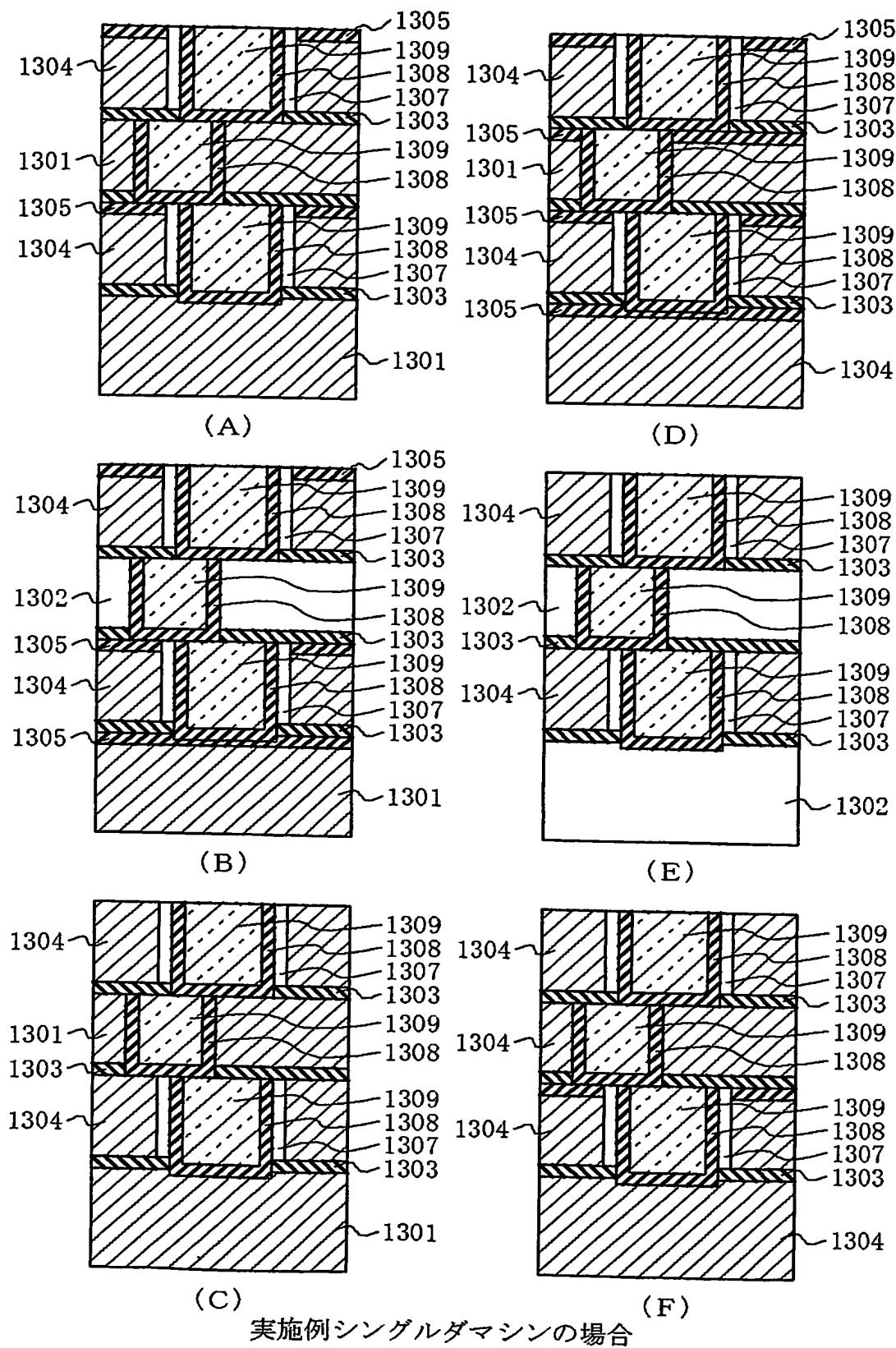
(A)



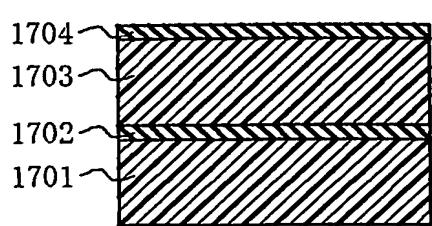
(B)

実施の形態③  
シングルダマシンの場合

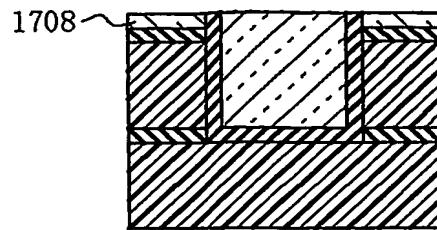
【図16】



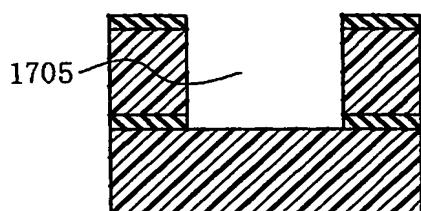
【図17】



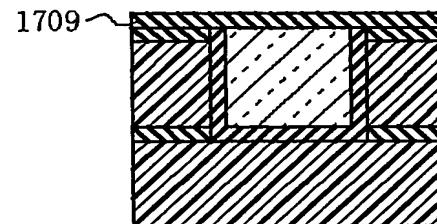
(17-A)



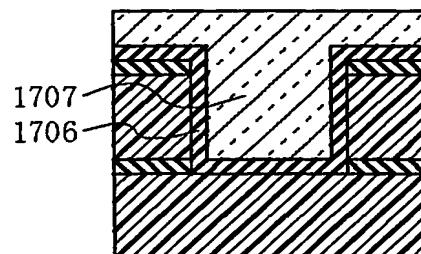
(17-D)



(17-B)

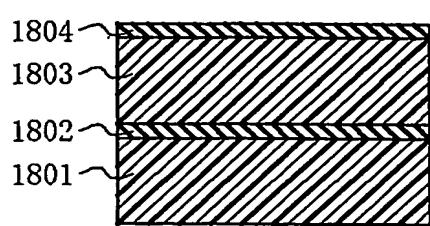


(17-E)

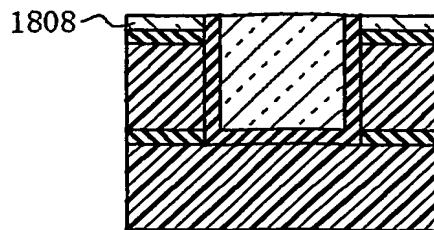


(17-C)

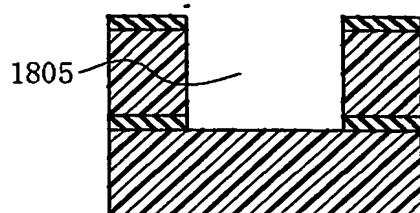
【図18】



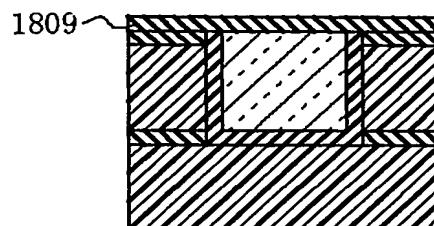
(18-A)



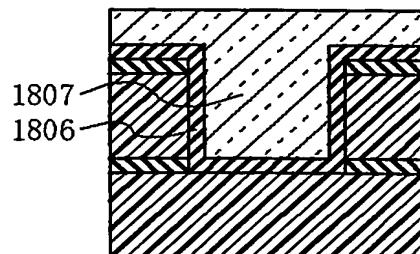
(18-D)



(18-B)

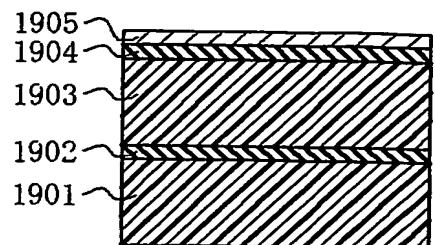


(18-E)

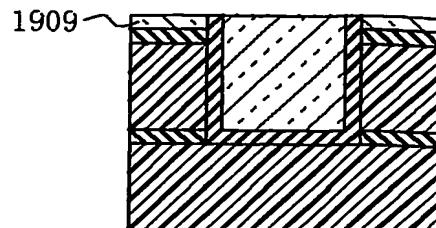


(18-C)

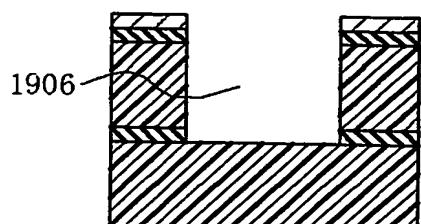
【図19】



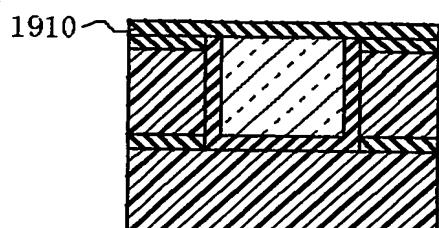
(19-A)



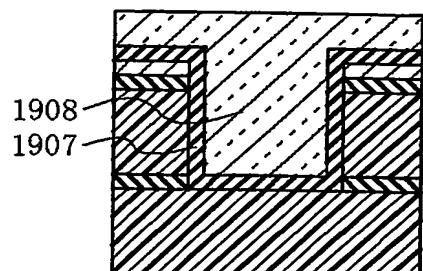
(19-D)



(19-B)

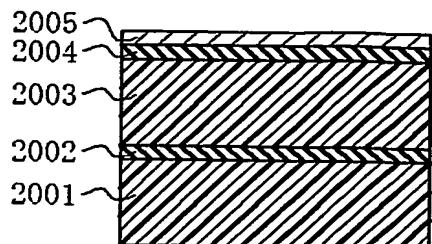


(19-E)

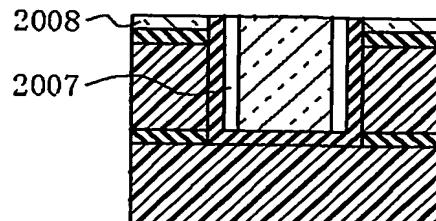


(19-C)

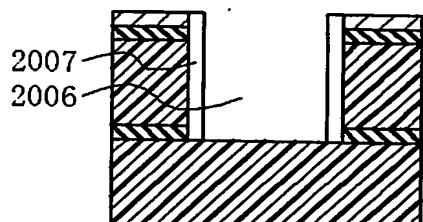
【図20】



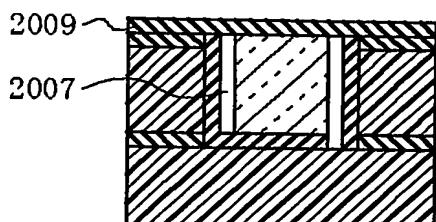
(20-A)



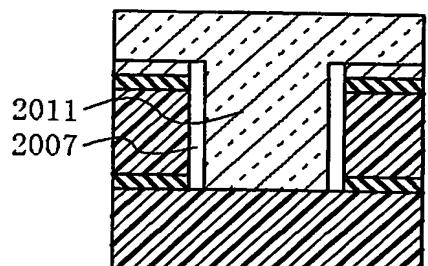
(20-D)



(20-B)

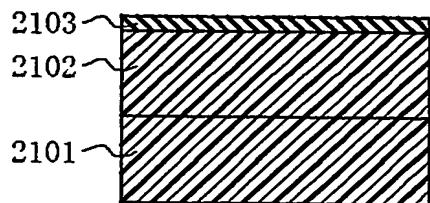


(20-E)

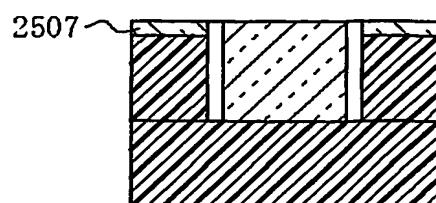


(20-C)

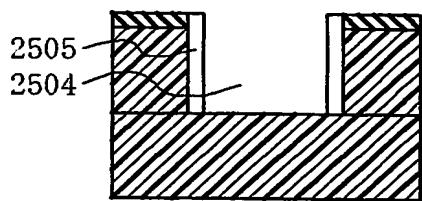
【図21】



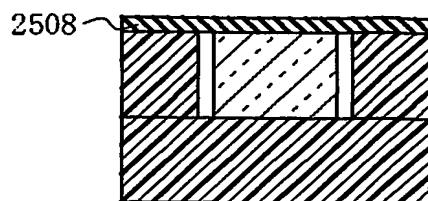
(21-A)



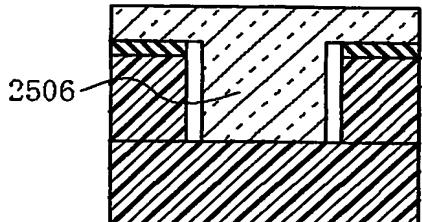
(21-D)



(21-B)

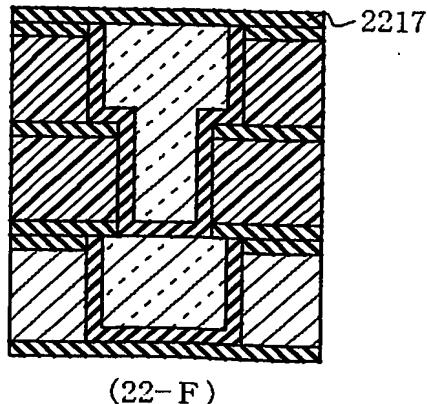
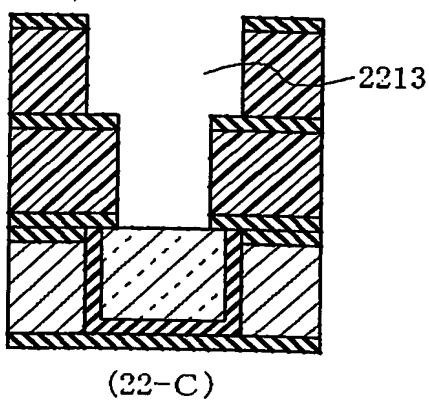
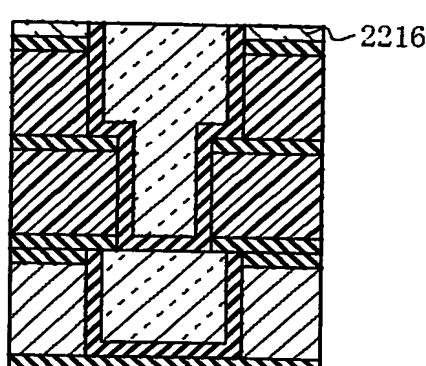
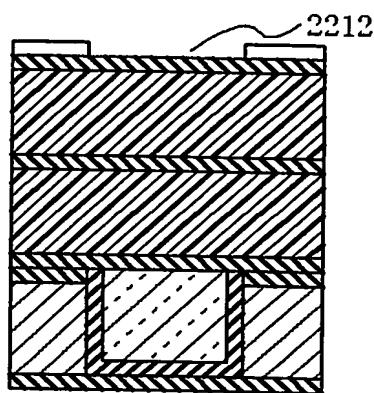
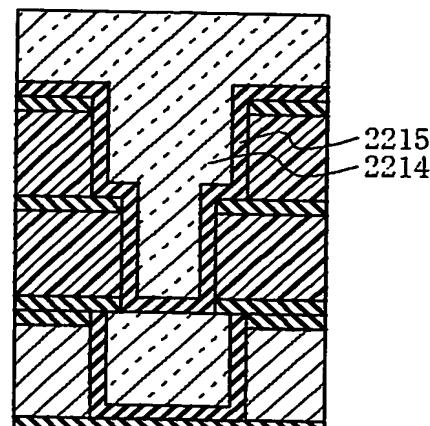
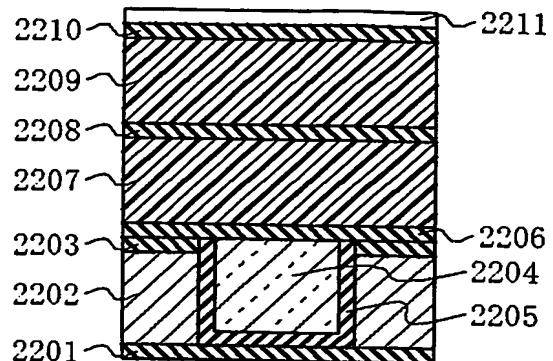


(21-E)

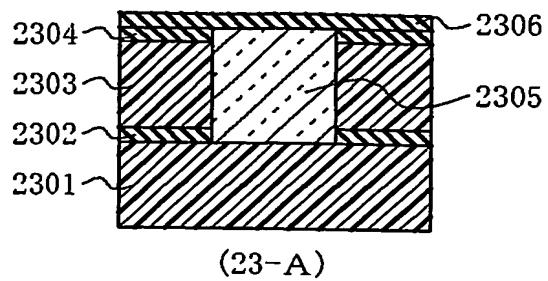


(21-C)

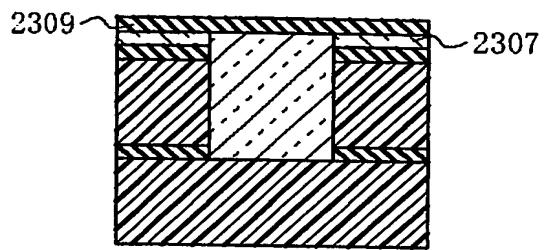
【図22】



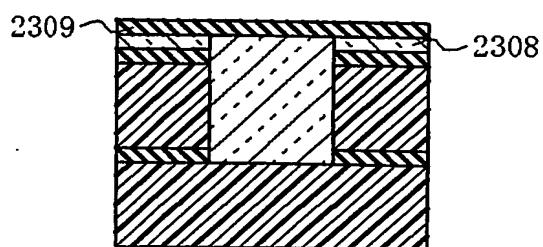
【図23】



(23-A)

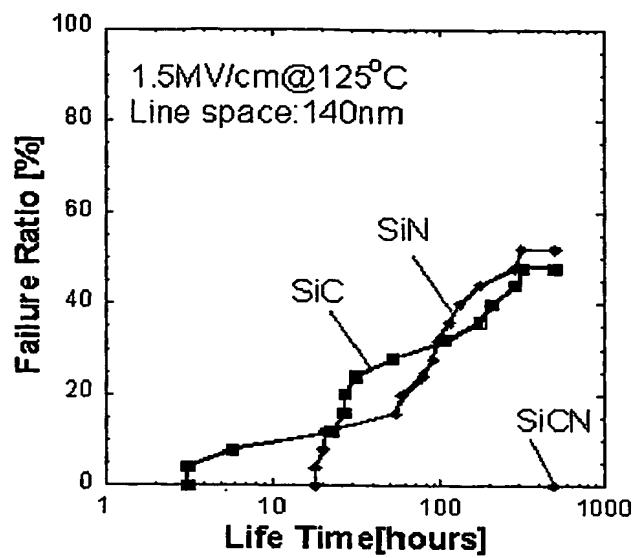


(23-B)

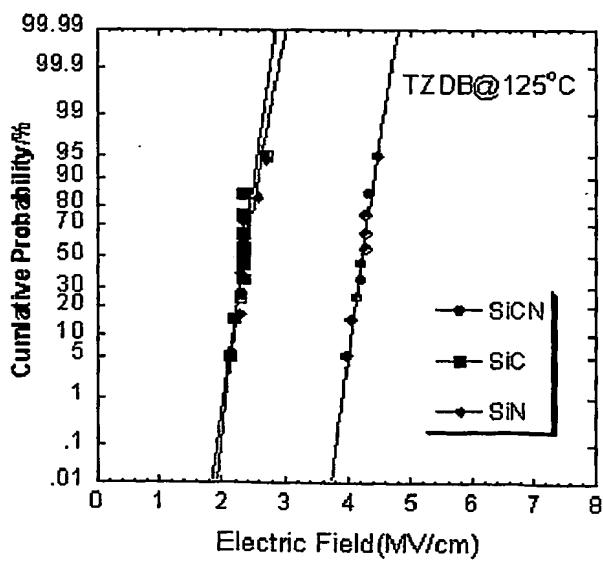


(23-C)

【図24】



【図25】



【書類名】 要約書

【要約】

【課題】 半導体素子が形成された基板上に金属配線を積層し、半導体素子の接続を得る多層配線構造において、多孔質低誘電率層間絶縁膜内に微細な金属配線を形成する場合に、リーク電流が発生し隣接する配線間の絶縁性が損なわれる、隣接する配線間の絶縁耐性が劣化する、積層膜の界面で剥がれやクラックが発生するという欠点があった。本発明はこれらを解消した配線構造およびその製造方法を提供することにある。

【解決手段】 半導体素子が形成された基板上の金属配線構造において、絶縁膜と金属膜の側壁界面部分に絶縁性バリア膜312を形成する。この絶縁性バリア膜は隣接する配線間のリーク電流を低減し、絶縁信頼性を向上させることができる。

【選択図】 図1

## 認定・付加情報

特許出願の番号	特願2003-152743
受付番号	50300895244
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 5月30日

## &lt;認定情報・付加情報&gt;

【提出日】 平成15年 5月29日

次頁無

出証特2004-3002645

特願 2003-152743

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住所 東京都港区芝五丁目7番1号  
氏名 日本電気株式会社